

ПОДХОД К ПРОЦЕССНОЙ ИНТЕРПРЕТАЦИИ VHDL-МОДЕЛЕЙ

Муравьев Г.Л., Мухов С.В., Хвещук В.И. (Брестский филиал Института современных знаний им. А.М. Широкова)

Язык проектирования VHDL (международные стандарты 1076-1993 и 1076.1-1999) предоставляет средства описания моделей (проектов) цифровой аппаратуры разной степени детализации. Это структурные, потоковые и поведенческие описания, предполагающие конструирование

моделей (проектов) в терминах специфического набора параллельных и последовательных языковых операторов.

В работе рассматривается проблема преобразования исходной произвольной VHDL-модели в некоторое однородное промежуточное описание -- модель, удобную для дальнейшей реализации на виртуальной машине с использованием различных средств. В том числе и для генерации функционально-адекватных исходному проекту исполнимых описаний на языках программирования общего назначения с развитыми вычислительными средствами и оптимизирующими трансляторами.

Показано, что такая модель: - может быть описана средствами самого языка VHDL; - представляет собой частный случай процессного описания проекта; - базируется на графовом представлении параллельного оператора process, отображаемого комбинацией традиционных последовательных операторов.

Проблема сводится к решению следующих задач.

1. Замене в исходной VHDL-модели параллельных операторов block (или architecture), начиная с самого внешнего, множеством составляющих их параллельных операторов. При этом охранные выражения внешних блоков переносятся во вложенные блоки посредством их конъюнкции с охранными выражениями вложенных блоков.

2. Замене параллельных операторов procedure_call, function_call, assertion функционально адекватными операторами process. Каждый process представляет комбинацию аналогичного последовательного оператора и оператора ожидания wait on, воспроизводящего чувствительность исходного параллельного оператора.

3. Замене параллельных операторов назначения сигналов (conditional_concurrent_signal_assignment и selected_concurrent_signal_assignment) операторами process в виде комбинации последовательного оператора назначения и оператора ожидания wait on, воспроизводящего чувствительность исходного параллельного оператора к специальному списку сигналов. Указанный список включает все сигналы из правой части параллельного оператора назначения и guard-сигнал для случая защищенного оператора назначения. Конкретный вид комбинации зависит от сочетания типа назначаемого сигнала (bus, register или неразрешенный, неуправляемый) и режима работы оператора назначения (защищенный guarded или не защищенный).

4. Построению графовых моделей процессов. После преобразований в п.п. 1-3 проект может включать процессы трех типов ("произвольные", "эквивалентные", "частные со списком чувствительности"). В каждом из них можно выделить традиционные операторы управления логикой развития вычислительного процесса, операторы назначения сигналов и операторы ожидания. Последние позволяют переводить процесс в режим ожидания до наступления заданных событий и используются для управления процессами во времени, их синхронизации. С каждым оператором ожидания связывается одно состояние процесса, а сам процесс представляется графом. Вершины графа отображают состояния процесса, а направленные дуги возможные направления его развития. Начальное состояние процесса представляется дополнительной фиктивной вершиной. При этом от вершины графа, соответствующей конечному состоянию

процесса, добавляется дуга к вершине, соответствующей его начальному состоянию. Условия сохранения текущего состояния процесса описываются параметрами соответствующего оператора ожидания. Тогда состояние VHDL-модели однозначно определяется состояниями составляющих ее процессов. Каждый процесс задается: именем; типом; множеством возможных состояний и условиями ожидания в них; охранным выражением (для защищенных процессов); графом алгоритма. Текущие характеристики процесса: состояние; статус (активен, пассивен); время и тип блокировки и др.

5. Отображению последовательных операторов ожидания (семи типов) комбинацией условного оператора и операторов присваивания, а последовательных операторов назначения вызовами функций обработки драйверов соответствующих сигналов.

Получаемое в результате выполнения п.п. 1-5 описание позволяет интерпретировать процесс моделирования VHDL-проекта как пошаговое изменение его состояний в соответствии с графами процессов и результатами вычислений в их предикатных узлах.

В работе приведены эквивалентные формы разных типов параллельных операторов, графы и варианты реализации процессов, правила и рекомендации, пригодные для последующей генерации исполнимых кодов и организации моделирования.