

начальными условиями $F(0)=1$, $F(2)=n/2$, если $k=2i$, и $A'(k)=0$, если $k=2i-1$, $1 \leq i \leq n/2$.

Утверждение 2. Вероятность $P'(k)$ необнаружения ошибок кратности k расширенным двоичным кодом БЧХ, исправляющим две ошибки с параметрами $(n, n-2m-1, 6)$ определяется на основе четырехчленного рекуррентного соотношения $(n-k+3)(n-k+2)(n-k+1)P'(k) = n-2-(n-k+3)[2(k-2)(n-k+2) + (k-4)(n-k+3)]P'(k-2) - (k-3)[2(k-4)(n-k+4) + (k-3)(n-k+2)]P'(k-4) - (k-3)(k-4)(k-5)P'(k-6)$ с начальными условиями $P'(0)=1$, $P'(2)=0$, $P'(4)=6$, если $k=2i$, и $P'(k)=0$, если $k=2i-1$, $1 \leq i \leq n/2$.

Анализ последнего утверждения дает возможность определить точную верхнюю границу вероятности k необнаружения ошибочной последовательности рассматриваемым методом сжатия.

Утверждение 3. Максимальное значение вероятности необнаружения ошибочной последовательности методом сжатия, порождаемым образующим полиномом двучленного кода БЧХ, исправляющего две ошибки с параметрами $(n-1, n-2m-1, 5)$ определяется выражением $P=(n-8)/[(n-3)(n-4)(n-5)]$ и достигается при $k=5, 6, n-6, n-7$.

Генерация си-моделей проектов СБИС

Г.И.Муравьев, Л.П.Матюшков, Л.П.Махнист, В.А.Головко

Универсальным подходом к программной реализации поведенческого моделирования проектов СБИС, описанных на языках проектирования цифровой аппаратуры, может служить их конвертирование в новые описания в терминах языков программирования общего назначения (ЯП ОН) с развитыми изобразительными и вычислительными средствами и мощными оптимизирующими трансляторами. Здесь в качестве языка проектирования СБИС рассматривается VHDL (международный стандарт 1076 от 1987 г.), а в качестве ЯП ОН - язык Турбо Си.

Для реализации указанного подхода необходимо: 1) разработать Си-модель проекта СБИС, функционально-адекватную (по входам, выходам и состояниям) исходному VHDL-описанию; 2) разработать правила и процедуры отображения конструкций VHDL в Си-модель; 3) автоматизировать процесс генерации Си-модели по произвольному VHDL-описанию проекта СБИС.

Си-модель строится из моделей процессов, составляющих проект и генерируемых для каждого проекта, и модели их управления, являющейся настраиваемой константной частью. Состояние Си-модели определяется

состояниями α процессов, временных цепей обрабатываемых сигналов и заблокированных процессов.

Модель процесса содержит секции: <обработка_сигналов> <управление_1.процессом>. Первая секция соответствует модифицированному графу алгоритма VHDL-процесса, включающего операторы функционального преобразования сигналов, операторы управления и операторы типа W синхронизации процесса. Каждому оператору W_i соответствует ждущее состояние процесса M_i ($i=1...n$), а вершине графа - фиктивное состояние M_0 , которое связано дугой с конечным состоянием M_n . При моделировании процесс может изменить или сохранить состояние что определяется параметрами W_i и графом процесса. Вторая секция определяет точку входа в секцию <обработка_сигналов> в зависимости от его состояния.

Генерация Си-модели производится на основе анализа проекта СБИС и включает: перевод произвольного VHDL-описания в процессное путем его препроцессорной обработки; построение Си-моделей; генерацию Си-аналогов последовательных операторов VHDL по заранее установленным правилам. Варианты генерируемого текста могут различаться в зависимости от статического или динамического режимов моделирования.

Для этого в произвольном VHDL-проекте, представляющем композицию параллельных операторов block, process, assertion, procedure_call, function_call, concurrent_signal_assignment, последовательно внешний и вложенные операторы block (или architecture) заменяются множеством составляющих их параллельных операторов с учетом охранных выражений. Каждый из оставшихся операторов заменяется множеством эквивалентных последовательных операторов, образующих процесс и список чувствительности, который трансформируется в Си-модель процесса.

В докладе приведены эквивалентные Си-формулы для всех типов последовательных операторов VHDL, а также правила отображения подпрограмм (функций и процедур), имен, типов данных, операций и выражений. Приведена структура соответствующего программного обеспечения и алгоритмы генерации Си-моделей проекта.

Обработка битовых векторов при моделировании в САПР СБИС

Г.Л.Мурашев, Д.Б.Островский

Эффективность моделирования проектов СБИС на верхних уровнях описания во многом определяется скоростью обработки битовых векторов произвольной длины. Так как языки программирования, поддерживающие моделирование проектов с языка проектирования высокого уровня VHDL, не