

Литература

1. Барский А. Б. Параллельные процессы в вычислительных системах. Планирование и организация. - М.: Радио и связь, 1990. - 256 с.
2. Лескин А.А., Мальцев П.А., Спиридонов А.М. Сети Петри в моделировании и управлении. -Л.:Наука, 1989. -133 с.
3. Назаров С. В. Операционные системы специализированных вычислительных комплексов: Теория построения и системного проектирования. -М.: Машиностроение, 1989. -400 с.
4. Лосич В.А., Радишевский В.А., Склигус Б.Н. Разработка инструментальных средств мультимикропроцессорной системы управления: Отчет по НИР / Минский радиотехнический институт.-ХД - 87-1047; №ГР 01.87.0089780, Инв. №02890035756 -Минск, -1988.

УДК 681.3.14./21

ПРИМЕНЕНИЕ PLD ДЛЯ СИНТЕЗА УПРАВЛЯЮЩИХ АВТОМАТОВ

Соловьев В.В., Ожигина М.П., Васильев А.Г.

*Белорусский государственный университет
информатики и радиоэлектроники*

В настоящее время **Programmable Logic Devices (PLD)** широко применяются при построении управляющих автоматов (УА). Основной интерес вызывают **Programmable Logic Arrays (PLA)** [2] и **Programmable Array Logic (PAL)**. **PAL**, имеющую n входов и m выходов, будем обозначать **PAL(n,m)**. Структура регистровой **PAL** и её отличия от структуры **PLA** приведены в [1].

Пусть функционирование УА описывается на языке граф-схем алгоритмов (ГСА). УА характеризуется числом L входных переменных множе-

ства $X=\{x_1, \dots, x_L\}$; числом N выходных переменных множества $Y=\{y_1, \dots, y_N\}$; числом M внутренних состояний множества $A=\{a_1, \dots, a_M\}$; числом R триггеров, необходимых для построения памяти автомата, $R=\lceil \log_2 M \rceil$.

Условия реализации традиционной структуры УА на одной PAL [2]:

$$R \leq m - N; \quad L \leq n; \quad N \leq m - R. \quad (1)$$

Основная идея заключается в сокращении числа задействуемых выходов PAL за счет совмещения триггеров регистровых выходов УА и его памяти. Структура УА, совмещающая выходы и память, показана на рис.1. Условия реализации УА следующие:

$$R \leq m; \quad L \leq n; \quad N \leq m. \quad (2)$$

Синтез такого УА основан на специальном кодировании внутренних состояний автомата, которое сводится к решению задачи о назначениях [1].

Одноуровневые структуры наиболее популярны при синтезе сложных УА. Это объясняется их простотой и высоким быстродействием. Условия реализации традиционной одноуровневой схемы УА на PLA [2] следующие:

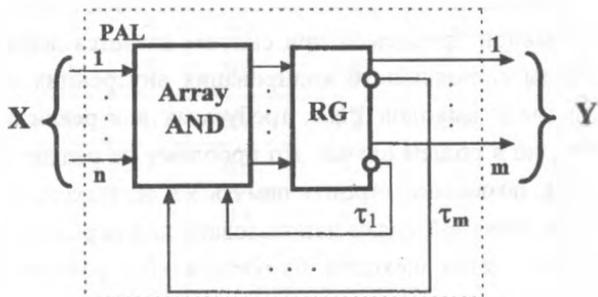


Рис.1. Структура УА, совмещающая память и выходы автомата

$$R \leq \min(n, m); \quad L \leq (n - R)T; \quad N \leq (m - R)T. \quad (3)$$

6. Моделирование и синтез вычислительных систем

На основании (3) минимальное число элементов схемы определяется как:

$$T_{\min} = \max\left(\left\lceil \frac{L}{n-R} \right\rceil, \left\lceil \frac{N}{m-R} \right\rceil\right) \quad (4)$$

Например, при синтезе на PLA(16,8) YA с $L=20$, $N=18$ и $R=6$ имеем $T_{\min} = 9$.

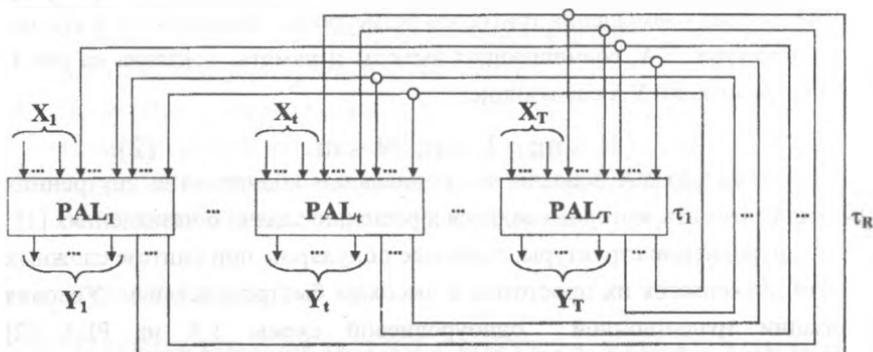


Рис.2. Структура одноуровневой схемы YA на PAL.

Поскольку большинство регистровых PAL имеют небольшое число входов (8-12), главной проблемой при синтезе является дефицит выходов. Известные методы специального кодирования внутренних состояний YA [2] сокращают число выходов PLA, требуемых для реализации функций D_1, \dots, D_R до 50%, но в общем случае это проблему не решает. Особенности архитектуры PAL позволяют строить память YA на выходных триггерах, а внутренние цепи обратной связи использовать для передачи на вход PAL сигналов обратной связи с выходов. Структура одноуровневой схемы YA с указанными свойствами показана на рис.2. В ней сигналы обратной связи τ_1, \dots, τ_R подаются на входы всех PAL, однако для каждой PAL, ($t = \overline{1, T}$) сигналы связи, формируемые на ее выходах, поступают по внутренним цепям PAL, а остальные - по внешним цепям схемы. На входы

каждой $PAL_t (t=\overline{1, T})$ подаются входные переменные $X_t (X_t \subseteq X)$, а на выходах формируются выходные переменные $Y_t (Y_t \subseteq Y)$. Пусть D^t - подмножество функций возбуждения элементов памяти, формируемых $PAL_t (t=\overline{1, T})$. Для возможности построения схемы УА (рис.2) подмножества D^1, \dots, D^T не должны пересекаться, т.е. $|D^t \cap D^s| = \emptyset$ для $t \neq s$, где $t, s = \overline{1, T}$. Реализация УА схемой на рис.2 определяется неравенствами:

Таблица 1

R	T	PLA(16,8)		PAL(16,8)	
		Lma x	Nmax	Lma x	Nmax
2	2	28	12	30	14
3	3	39	15	42	21
4	4	48	16	52	28
5	5	55	15	60	35
6	6	60	12	66	42
7	7	63	7	70	49
8	8	64	0	72	56
9	9	63	0	72	63
10	10	60	0	70	70
11	11	55	0	66	77

Отсюда минимальное число **PAL** в схеме (рис.2) определяется:

$$\begin{aligned}
 R &\leq \min_t (n + |D^t|); \quad |D^t| \leq m; \\
 L &\leq \sum_t (n - R + |D^t|) = T(n-R) + R; \quad (5) \\
 N &\leq \sum_t (m - |D^t|) = Tm - R; \\
 T_{\min} &= \max \left(\left\lceil \frac{L - R}{n - R} \right\rceil, \left\lceil \frac{N + R}{m} \right\rceil \right) \quad (6)
 \end{aligned}$$

Например, при синтезе на **PAL**(16,8) УА с параметрами $L=20$, $N=18$ и $R=6$, имеем $T_{\min} = 3$. Метод синтеза схемы (рис.2) основан на декомпозиции таблицы переходов УА и специальном кодировании внутренних состояний автомата [3]. Для сравнения возможностей схем одноуровневой структуры УА на **PLA** и **PAL** в табл.1 приводятся предельные параметры УА для **PLA**(16,8), **PAL**(16,8) и различных R и T .

Несмотря на все достоинства одноуровневых схем, они не годятся для построения сложных УА с большим числом внутренних состояний (при $R=n$). В этом случае схему УА строят в виде многоуровневой иерархической структуры [4]. Метод ее синтеза на **PAL** основывается на выделении фрагментов ГСА, подходящих для реализации на отдельных **PAL**, и эквивалентном преобразовании ГСА [4].

Предельные параметры УА, реализуемого иерархической структурой из T элементов, определяются:

$$L_{\max} \leq (n-2)T + F + 1; \quad N_{\max} \leq (m-1)T - T + 1. \quad (7)$$

где F - число **PAL** нижнего уровня. Минимальное число **PAL** в схеме [4]:

Таблица 2

T	F	Lmax x	Nmax
2	1	30	13
3	2	45	19
4	3	60	25
5	4	75	31
6	5	90	37
7	6	105	43
8	7	120	49
9	8	135	55
10	9	150	61
11	10	165	67

$$T_{\min} = \max\left(\left\lceil \frac{L - F - 1}{n - 2} \right\rceil, \left\lceil \frac{N - 1}{m - 2} \right\rceil\right) \quad (8)$$

В первом неравенстве (7) учитывается то, что два входа всех PAL, за исключением элементов нижнего уровня, задействованы для приема сигналов **z** и **h**, причем самый верхний элемент не принимает сигнал **z**. Во втором неравенстве учитывается то, что один выход каждой PAL задействован для формирования сигнала **h**, а **T-1** выходов всей схемы - для формирования сигналов **z**. В табл.2 приводятся параметры УА, реализуемых иерархической структурой для различных **T** и **F** в случае использования PAL(16,8).

Литература

1. Соловьев В.В. Синтез микропрограммных автоматов на программируемых матрицах логики.//Вестн АНБ. Сер.физ.-техн. наук. 1994. №1. с. 68-72.
2. Складов В.А. Синтез автоматов на матричных БИС.//Мн.: Наука и техника. - 1984. - 287с.
3. Соловьев В.В. Синтез одноуровневых схем микропрограммных автоматов из программируемых матриц логики.// АВТ. - 1993. -№1. с.14-20.
4. Соловьев В.В. Синтез иерархических схем устройств логического управления на ПЛИС.// АВТ. - 1995. - №1. с.18-32.

УДК 681.3.14./21

МОДЕЛИ ДИНАМИЧЕСКИ РЕКОНФИГУРИРУЕМЫХ CPLD.

Луцук Ю.А., Клыга А.И.

*Белорусский государственный университет
информатики и радиоэлектроники*

Современный разработчик всегда стоит перед выбором кратких сроков разработки и стоимостью готового устройства. Идеальным решением в этом случае является использование программируемых матриц FPGA (field programmable gate arrays). Основными их преимуществами являются высокое быстродействие, низкая стоимость, а также широкие функциональные возможности. Применение микросхем ПЛИС (программируемые логические интегральные схемы) позволяет осуществлять проектирование сложных устройств в течение короткого промежутка времени и обеспечить: низкую стоимость готового изделия, высокое быстродействие и низкую потребляемую мощность. Они также дают возможность достаточно гибко-