

Литература

1. M. Nicolaidis, "Transparent BIST for RAMs" // Proc. Int. Test Conf. - Sept., 1992 - pp.598-607.
2. V. Yarmolik, H.-J. Wunderlich, S. Hellebrand, "Self-Adjusting Output Data Compression: An Efficient BIST Technique for RAMs", submitted to DATE'98.
3. J. van de Goor . Testing Semiconductor Memories. Theory and Practice. Wiley, Chichester, 1991.

УДК 681.3

МЕТОДЫ ПОВЫШЕНИЯ ДОСТОВЕРНОСТИ АДАПТИВНОГО СИГНАТУРНОГО АНАЛИЗА

Иванюк А.А.

*Белорусский государственный университет
информатики радиоэлектроники.*

При современном прогрессе мировой радиоэлектронной промышленности остро стоит проблема тестирования цифровых устройств высокой степени интеграции, особенно устройств с регулярной структурой, таких как запоминающие устройства (ЗУ). В последнее время появляется большое количество полупроводниковых микросхем с интегрированными ЗУ большой емкости, что затрудняет производить его тестирование традиционными методами. Данные устройства требуют наличия встроенных средств самотестирования, которые обладали бы такими характеристиками как малые аппаратные затраты и высокой обнаруживающей способностью и возможностью производить тестирование без потери хранимой информации. Один из современных подходов решения данной проблемы был предложен в [1], который заключается в применении сигнатурного анализа и

5. Диагностика вычислительной техники

неразрушающих маршевых тестов памяти. Данный метод обладает высокой покрывающей способностью и малыми аппаратными затратами на средства тестирования, однако существует проблема, которая заключалась в пересчете значения эталонной сигнатуры памяти перед каждым тестовым сеансом. В [2] был предложен новый адаптивный метод вычисления сигнатур памяти, который заключается в побитном суммировании по модулю 2 адресов ячеек памяти, которые содержат значение "1".

В этом случае значение эталонной сигнатуры корректируется во время нормальной работы памяти. Было показано, что предложенный метод обладает высокой обнаруживающей способностью и малыми аппаратными затратами на реализацию схем тестирования.

Для увеличения обнаруживающей способности адаптивного сигнатурного анализа (АСА) предлагается сжимать на анализаторе бинарные вектора, которые ставятся в соответствии каждому реальному адресу памяти. Самым простым примером увеличения обнаруживающей способности АСА может служить увеличение разрядности адаптивного анализатора на один дополнительный разряд по сравнению с предложенным в [2]. При каждой операции записи данных в ячейку памяти, в дополнительный разряд анализатора поступает "1". Это обеспечивает полное обнаружение ошибок нечетной кратности в выходной последовательности памяти. Таким образом, дополнительный разряд анализатора играет роль контрольного бита четности всей памяти.

Линейные преобразования над реальными адресами памяти для получения новых бинарных векторов, не приводят к увеличению достоверности АСА. Такими примерами могут служить преобразования при помощи сдвигового регистра, счетчика Джонсона, генератора ПСП (на сдвиговом регистре с обратными связями), и т.д. Для обеспечения нелинейности в алгоритме получения новых векторов предлагается осуществлять арифметическое сложение значения реального адреса и некоторого двоичного числа (рис.1). В этом случае на M -разрядном анализаторе, (M - разрядность шины адреса памяти), происходит сжатие модифицированных адресов

$V_i = A_i + \varphi$, где A_i - адрес ячейки памяти, содержащей "1", φ - двоичное число, V_i - модифицированный адрес. При значении $\varphi = 0$ достоверность данной схемы соответствует достоверности АСА. При тестировании памяти в режиме хранения полезных данных предлагается изменять значение φ для каждого последующего сеанса тестирования, что обеспечит увеличение достоверности АСА.

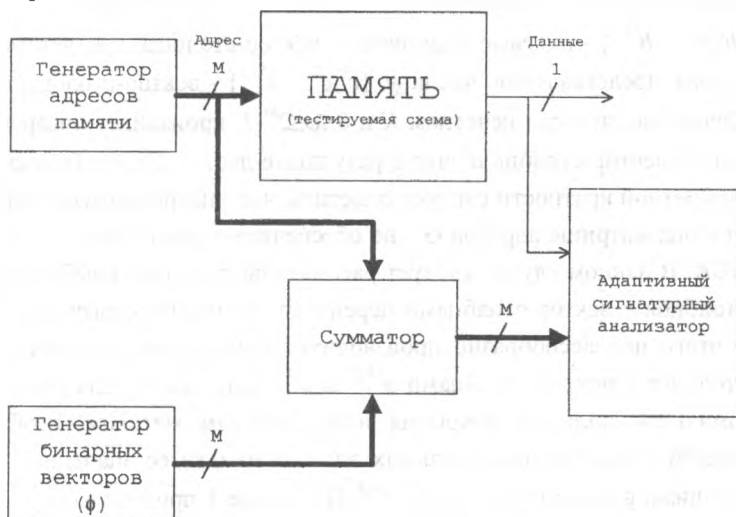


Рис.1. Схема тестирования с использованием АСА.

Покажем, что при любом $0 \leq \varphi \leq M-1$, любая ошибка нечетной кратности будет обнаружена. Рассмотрим следующую матрицу G , строки которой соответствуют поразрядной записи адресов ячеек памяти (a^0, a^1, \dots, a^{K-1}) из которых были прочитаны ошибочные данные:

$$G = \begin{pmatrix} a_0^0 & a_1^0 & \dots & a_{M-1}^0 \\ a_0^1 & a_1^1 & \dots & a_{M-1}^1 \\ \dots & \dots & \dots & \dots \\ a_0^{K-1} & a_1^{K-1} & \dots & a_{M-1}^{K-1} \end{pmatrix}$$

5. Диагностика вычислительной техники

Количество строк матрицы соответствует кратности K обнаруживаемой ошибки. При этом выполняется следующее условие $S_E \oplus S_L = 0$, где $S_E = a^0 \oplus a^1 \oplus \dots \oplus a^{K-1}$ - значение сигнатуры ошибочных данных в памяти, S_L - эталонная сигнатура. Добавление двоичного числа φ к каждому сжимаемому адресу приведет к получению новой матрицы G^φ адресов памяти:

$$G^\varphi = \left[a^0 + b^0, a^1 + b^1 + c^0, \dots, a^{M-1} + b^{M-1} + c^{M-2} \right],$$

где $\{b^0, b^1, \dots, b^{M-1}\}$ - нулевые (единичные) вектор-столбцы, соответствующие двоичному представлению числа φ , $\{c^0, c^1, \dots, c^{M-2}\}$ - вектор-столбцы переносов. Очевидно, что при нечетном K и $0 \leq \varphi \leq 2^M - 1$, произойдет инверсия хотя бы одного вектор-столбца a^i , что в результате даст $S_E \oplus S_L \neq 0$. Относительно ошибок четной кратности следует отметить, что инверсия какого-либо вектор-столбца матрицы адресов G - не обеспечивает увеличение достоверности АСА. В данном случае следует рассматривать только комбинации вектор-столбцов с вектор-столбцами переносов из младших разрядов. Вследствие этого нецелесообразно производить суммирование единичных вектор-столбцов с вектор-столбцами a^{M-2} и a^{M-1} матрицы G . Для обеспечения максимальной полноты покрытия предложенным методом, необходимо произвести суммирование реальных адресов памяти со значениями числа φ , лежащими в диапазоне от 0 до 2^{M-3} . В таблице 1 приведены вероятности обнаружения ошибок различной кратности в 16-битной памяти для различных значений числа φ .

Таблица 1

K	$ACA(\varphi=0)$	$\varphi=(0,1)$	$\varphi=(0,1,2)$	$\varphi=(0,1,2,3)$
1	0.9375	1	1	1
2	1	1	1	1
3	0.9375	1	1	1
4	0.9230	0.9714	0.98022	0.9846
5	0.9375	1	1	1
6	0.9440	0.9880	0.9960	1
7	0.9375	1	1	1
8	0.9324	0.9833	0.9908	0.9945
9	0.9375	1	1	1
10	0.9440	0.9880	0.9960	1
11	0.9375	1	1	1
12	0.9230	0.9714	0.9802	0.984615
13	0.9375	1	1	1
14	1	1	1	1
15	0.9375	1	1	1
16	0	0	0	0

В заключении хотелось бы отметить, что предложенный метод увеличения достоверности АСА может быть применим для тестирования реальных микросхем памяти с организацией $(2^M-1)*1$ бит.

ЛИТЕРАТУРА

1. M.Nicolaidis, "Transparent BIST for RAMs", IEEE International Test Conference, Oct.1992, pp.598-607.

2. Ярмолик В.Н., Иванюк А.А., "Встроенное самотестирование памяти с использованием сигнатурного анализа", "Логическое проектирование", Минск, 1997.

УДК 681.3

АЛГОРИТМИЧЕСКИЕ И ПРОГРАММНЫЕ СРЕДСТВА СИНТЕЗА САМОТЕСТИРУЕМЫХ СБИС

Хомич О. В.

*Белорусский государственный университет
информатики и радиоэлектроники*

Использование встроенных схем самотестирования является одним из важнейших методов обеспечения надежного функционирования СБИС. Эффективность самотестирования оценивается длительностью теста и аппаратными затратами на реализацию схемы тестирования.

Практически при всех методах диагностирования СБИС широкое применение находит использование линейного сдвигового регистра с сумматорами по модулю два в цепи обратной связи (LFSR) в качестве генератора псевдослучайных тестовых наборов в следствие относительно небольших аппаратных затрат на его реализацию [2].

Большинство комбинационных схем содержит неисправности, обнаружение которых с помощью только псевдослучайных тестовых наборов зачастую оказывается невозможно. В таких случаях для достижения максимальной полноты покрытия неисправностей широкое применение получило использование детерминированных тестовых наборов совместно с псевдослучайными тестовыми последовательностями. Чаще всего применяется одна из разновидностей метода сканирования пути, что не приводит к ухудшению временных характеристик работы тестируемых СБИС [1].