

перемещений. Зависимость освещенности за период для интерферометров приблизительно соответствует синусоидальной. Нелинейная зависимость требует согласования уровня квантования с величиной перемещения.

Установка трех фотоприемников равномерно по периоду позволяет получить три сигнала со сдвигом на угол в 120 градусов. Нахождение этих сигналов в различных фазовых точках допускает выбор наиболее линейных участков функций с максимумом производной. Переход к данным соседних функций, вызывает погрешность в пределах дискрета АЦП и погрешности, связанной с неточностью фазовой установки фотоприемников. Поскольку обе погрешности систематические, то с помощью оценки измерения по трем зависимостям интерполируется переход к линейному участку.

Общее показание перемещения образуется из подсчета числа периодов и дискрета на одном из трех АЦП.

Такой подход позволяет получить точность отсчета в пределах 0,1 длины интерференционной картины с использованием 6-ти разрядных АЦП.

Возможно использование также большего количества АЦП для повышения разрешающей способности в пределах длины интерференционной картины. Это дает возможность больше линеаризовать исследуемые участки синусоид, снимаемых с датчиков, ввиду того, что датчик исследует меньший фазовый участок. Для получения необходимой разрешающей способности необходимо применять достаточную разбивку длины волны во времени. Исследуемый участок уменьшается: в 2 раза ввиду отражения от поверхности; в 3 раза ввиду использования 3-х датчиков; и окончательная разбивка определяется разрядностью используемого АЦП. Вариант использования АЦП для преобразования сигналов возможен для технического решения устройства измерения линейных перемещений описанного в [1].

#### ЛИТЕРАТУРА.

1. Авторское свидетельство 1095034. Устройство для измерения линейных перемещений. Поздняков В.Ф., Сергеев С.С., Кудинов Н.В. и др.

#### Вопросы и ответы по отказоустойчивых линейных систолических процессоров

**В.А.Головкин, В.И.Хвещук, Н.С.Трифимчук, С.А.Филиппова.**

Систолические процессоры позволяют соединить преимущества конвейерной обработки информации и технологии СБИС. Необходимость обработки информации в реальном масштабе времени, возрастающий объем вычислений и векторизуемость алгоритмов вычислений создают предпосылки

реализации соответствующего вычислителя на систолическом массиве. В данной работе рассматриваются вопросы проектирования одномерных с отказоустойчивых систолических процессоров на примере процессора для вычисления медианы и решения системы линейных алгебраических уравнений. Медианная фильтрация применяется для анализа изображений и состоит в выборе среднего числа из перечня рассортированных в порядке убывания  $n$  значений входной функции  $f(x)$  внутри смещенного окна  $W+x$ , где  $|W|=n$  - размерность окна,  $n$  - нечетное число. Так медианный фильтр с окном  $W=\{-1,0,1\}$ ,  $|W|=3$  реализует следующую функцию:

$$\text{med} [f(x-1), f(x), f(x+1)] = \max \left\{ \begin{array}{l} \min [f(x-1), f(x)]; \\ \min [f(x-1), f(x+1)]; \\ \min [f(x), f(x+1)]. \end{array} \right\}$$

В основе систолического процессора для решения системы линейных алгебраических уравнений используется метод LU - разложения матриц. В обоих случаях исходный треугольный массив процессорных элементов (ПЭ) был отображен на линейную систолическую структуру. Следует также отметить, что систолический процессор медианы реализован со скользящим окном.

При проектировании указанных выше систолических массивов решались следующие задачи: высокая скорость вычисления, сплайсовость структуры, в соответствии с размерностью задачи, возможность простого обхода отказавших элементов, организация простого ввода входных данных, наблюдаемости и управляемости элементов систолического массива. При этом в отличие от известных подходов, когда средства отказоустойчивости вводятся на последнем этапе проектирования, здесь структура систолического массива и организация потока данных выбирались исходя из обеспечения тестопригодности и отказоустойчивости при малых аппаратных затратах. В разработанных схемах легко реализуются два подхода к структурной перестройке:

1. Обеспечение заранее меньшего уровня производительности, когда в исходном состоянии все процессорные элементы рабочие.

2. Обеспечение структурной перестройки схемы для замены отказавших элементов на резервные. При отказе  $i$ -го процессорного элемента ПЭ( $i$ ) происходит такое его исключение из линейки, при котором функции выполняемые ПЭ( $i$ )...ПЭ( $N$ ) передаются ПЭ( $i+1$ )...ПЭ( $N+1$ ) соответственно, т.е. происходит сдвиг вправо на один элемент.

Проведено моделирование показателей отказоустойчивости систолических процессоров при реализации их на кристалле. Показаны

технология выбора оптимального объема резервных процессорных элементов. На основе анализа реализации приведенных выше отказоустойчивых процессоров разработаны общие рекомендации для проектирования линейных отказоустойчивых систолических массивов.

### Систолический процессор преобразования Фурье с интеграцией на уровне пластины

В.А. Головки, В.Б. Гладышук, Г.Х. Циркина

В настоящее время перспективы дальнейшего роста степени интеграции схем связывается со схемами с интеграцией на уровне пластины, которые по сравнению с современными СБИС позволяют сделать не просто количественный, а качественный скачок: в увеличении числа функций, выполняемых схемами на монолитном кристалле, надежности и производительности.

В настоящей работе рассматривается реализация систолического процессора преобразования Фурье с интеграцией на уровне пластины. При этом процессор выполняет дискретное преобразование Фурье, которое реализуется по схеме Горнера

$$F_k = ((X_{N-1} W_N^k + X_{N-2}) W_N^k + \dots + X_1) W_N^k + X_0,$$

где  $k = 0, N-1$ ,  $N$  - общее число отсчетов,  $\{X_0, X_1, \dots, X_{N-1}\}$  - совокупность исходных отсчетов,  $W_N^k$  - весовые коэффициенты, которые вычисляются следующим образом:

$$W_N^k = \exp(-j2\pi kn / N).$$

Систолический процессор представляет собой линейку процессорных элементов (ПЭ), в которой при необходимости возможен обход отказавших элементов. При этом средства отказоустойчивости могут быть ориентированы как на нейтрализацию производственных, так и эксплуатационных отказов. Для нейтрализации производственных отказов в схему вводится ПЗУ дефектов, в которое на этапе производства путем пережигания плавких перемычек заносится информация о работоспособности процессорных элементов. С целью нейтрализации эксплуатационных отказов для каждого процессорного элемента схемы вводится триггер работоспособности, в который заносится соответствующая информация о состоянии ПЭ при тестировании схемы на этапе эксплуатации. Выводы ПЗУ дефектов и триггеров работоспособности управляют коммутационными элементами