

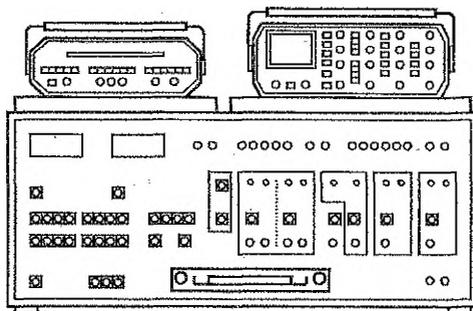
МИНИСТЕРСТВО ОБРАЗОВАНИЯ РЕСПУБЛИКИ БЕЛАРУСЬ  
УЧРЕЖДЕНИЕ ОБРАЗОВАНИЯ  
"БРЕСТСКИЙ ГОСУДАРСТВЕННЫЙ ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ"

Кафедра "ЭВМ и системы"

## МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к выполнению лабораторных работ по дисциплине "Схемотехника"  
для студентов специальности  
"Вычислительные машины, системы и сети"

Часть 2



Брест 2007

УДК 004.312(07)

Методические указания предназначены для закрепления теоретического материала, излагаемого в лекционном курсе "Схемотехника", и получения практических навыков исследования основных характеристик элементной базы вычислительной техники.

Во второй части содержатся указания к выполнению следующих работ: "Исследование дешифраторов, мультиплексоров и преобразователей кодов", "Исследование запоминающих устройств", "Исследование схем обработки аналоговой информации на операционных усилителях", "Исследование цифро-аналоговых преобразователей".

При подготовке к лабораторным работам рекомендуется пользоваться дополнительной литературой, список которой приводится в конце методических указаний.

Методические указания могут быть использованы также при изучении родственных дисциплин на смежных специальностях.

Издаётся в 2-х частях. Часть 2.

Ил. – 27, табл. – 5.

Составители:

А.Ф. Козак, старший преподаватель

А.А. Склипус, ассистент

## Лабораторная работа №7

### ИССЛЕДОВАНИЕ ДЕШИФРАТОРОВ, МУЛЬТИПЛЕКСОРОВ И ПРЕОБРАЗОВАТЕЛЕЙ КОДОВ

**Цель работы:** изучить принцип действия, схемные реализации и особенности применения микросхем дешифраторов и мультиплексоров.

#### 1. ДЕШИФРАТОРЫ

*Дешифратор* – это комбинационное устройство, преобразующее входной  $n$ -разрядный двоичный код в определенную комбинацию сигналов на выходах. Если число выходов  $s$  дешифратора равно  $2^n$ , где  $n$  – число входов дешифратора, то дешифратор называют *полным*. В противном случае имеет место  $(2^n - s)$  запрещенных комбинаций и дешифратор называют *неполным*.

Дешифраторы различаются форматом выходного кода. В ЭВМ наиболее часто используется полный дешифратор, преобразующий двоичный код в напряжение логического уровня (активного), появляющееся на том выходе, номер которого соответствует двоичному коду. Остальные выходы в это время находятся в пассивном состоянии. Такой код называется *унитарным*. Функционирование дешифратора в данном случае может быть описано таблицей 1.

Таблица 1

Таблица истинности дешифратора

$X_n$	...	$X_2$	$X_1$	$F_0$	$F_1$	$F_2$	$F_3$	...	$F_{s-1}$
0	...	0	0	1	0	0	0	...	0
0	...	0	1	0	1	0	0	...	0
0	...	1	0	0	0	1	0	...	0
0	...	1	1	0	0	0	1	...	0
...	...	...	...	...	...	...	...	...	...
1	...	1	1	0	0	0	0	...	1

В соответствии с табл. 1 для каждого выхода  $F_i$  может быть составлена логическая функция в СДНФ:

$$F_0 = \bar{X}_n \cdot \bar{X}_{n-1} \cdot \dots \cdot \bar{X}_2 \cdot \bar{X}_1;$$

$$F_1 = \bar{X}_n \cdot \bar{X}_{n-1} \cdot \dots \cdot \bar{X}_2 \cdot X_1;$$

...

$$F_{s-1} = X_n \cdot X_{n-1} \cdot \dots \cdot X_2 \cdot X_1.$$

Каждая из функций представляет конъюнкцию  $n$  переменных и может быть реализована с помощью  $n$ -входовой схемы "И". Входные сигналы на дешифратор, как правило, поступают в однофазном коде, поэтому, для получения инверсных значений в схему дешифратора необходимо включить инверторы. При необходимости на дополнительный

вход каждого элемента "И" может быть подан синхронизирующий сигнал, разрешающий работу дешифратора только при наличии на нем активного уровня. Внутренняя структура дешифратора на два входа и его условное графическое обозначение представлены на рис. 1. Дешифраторы, построенные по такой схеме, называют *линейными*.

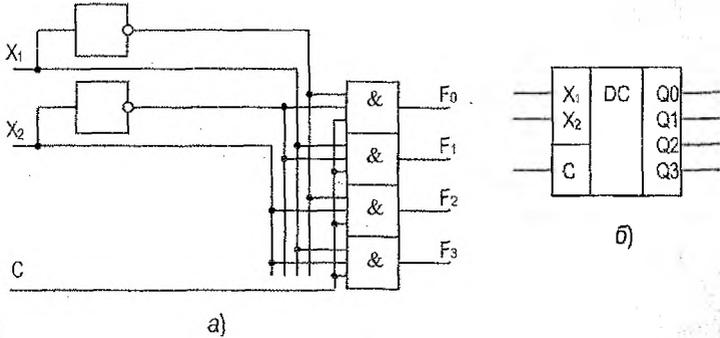


Рис. 1. Линейный дешифратор на два входа а) и его условное обозначение б)

Достоинством линейных дешифраторов является их высокое быстродействие. Для схемы (рис. 1) оно определяется временем задержки инвертора и элемента "И". Если входные сигналы поступают с устройств, имеющих парафазный выход (например, с регистров памяти), то инверторы из схемы дешифратора можно исключить, и быстродействие будет определяться только временем задержки одного конъюнктора.

Наряду с рассмотренным видом дешифраторов применяются дешифраторы с инверсными выходами, выдающие нулевой сигнал на выходе, соответствующем поступившему на входы дешифратора коду, при единичных сигналах на остальных выходах.

## 2. МУЛЬТИПЛЕКСОРЫ

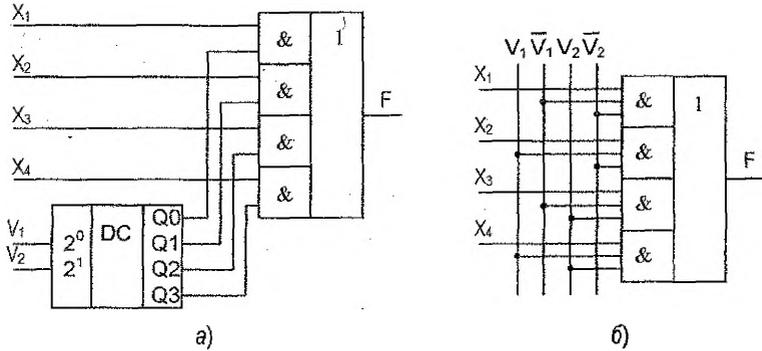
*Мультиплексор* – комбинационная многовходовая схема с одним выходом \$F\$. Входы мультиплексора подразделяются на информационные (\$X\_1 \dots X\_n\$) и управляющие (\$V\_1 \dots V\_k\$). Обычно \$2^k = n\$. Код, поступающий на управляющие входы, определяет один из информационных входов, значение которого передается на выход \$F\$. Работа мультиплексора может быть описана логическим уравнением:

$$F = X_1 \cdot \bar{V}_k \cdot \dots \cdot \bar{V}_2 \bar{V}_1 \vee X_2 \cdot \bar{V}_k \cdot \dots \cdot \bar{V}_2 V_1 \vee \dots \vee X_n \cdot V_k \cdot \dots \cdot V_2 V_1.$$

В соответствии с данным уравнением строятся реальные схемы мультиплексоров. На рис. 2 приведены схемы мультиплексора, имеющего \$n=4\$ информационных и \$k=2\$ управляющих входа. Мультиплексор (рис. 2, а) построен как совокупность двухвходовых конъюнкторов (их число равно числу информационных входов), управляемых выходными сигналами дешифратора, на входы которого поступает управляющий код. Выходы конъюнкторов объединены схемой "ИЛИ". Данный вариант наиболее распространен. Он

представляет собой двухступенчатую реализацию, что определяет задержку распространения сигнала, равную сумме задержек в дешифраторе и логическом элементе.

Мультиплексор может быть реализован также непосредственно в соответствии с логическим уравнением (без использования дешифратора) на основе конъюнкторов, имеющих  $(k+1)$  вход. На рис. 2, б представлена схема мультиплексора, реализованного на 3-х входовых конъюнкторах, с парафазными управляющими входами.



**Рис. 2. Внутренняя структура мультиплексора:**

а – с использованием дешифратора; б – без использования дешифратора

Мультиплексоры широко применяются в качестве коммутаторов-селекторов сигналов, для преобразования параллельного кода в последовательный, построения схем генераторов, сравнения кодов. С помощью мультиплексоров также можно реализовать любую логическую функцию от  $(k+1)$  логических переменных. Например, для приведенного выше мультиплексора с  $k = 2$  реализуется любая логическая функция от трех переменных.

Допустим, логическая функция задана таблицей истинности (табл. 2). Выделим из логических переменных переменную  $Z$ . Одинаковые комбинации оставшихся переменных  $X$  и  $Y$  представим в виде групп, отделенных в таблице штриховыми линиями.

Таблица 2

Таблица истинности для функции  $F$

X	Y	Z	F	X	Y	Z	F
0	0	0	0	1	0	0	0
0	0	1	1	1	0	1	0
0	1	0	1	1	1	0	1
0	1	1	0	1	1	1	1

Анализируя табл. 2, можно заметить, что при  $XY = 00$  результирующая функция  $F$  равна переменной  $Z$ , при  $XY = 01 - \bar{Z}$ , при  $XY = 10 - "0"$ , при  $XY = 11 - "1"$ . Реализация за-

данной логической функции на мультиплексоре представлена на рис. 3. Аналогично можно реализовать любую другую логическую функцию.

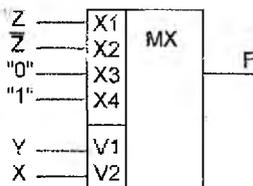


Рис. 3. Реализация на базе мультиплексора функции  $F$  от трех переменных  $X, Y, Z$

### 3. ПРЕОБРАЗОВАТЕЛИ КОДОВ

*Преобразователи кодов* – это устройства для автоматического изменения кодов по заданному алгоритму без изменения их смыслового содержания. Различают три типа преобразователей.

В преобразователях первого типа элементы выходного кода полностью соответствуют элементам входного кода. К этому типу могут быть отнесены, например, параллельно-последовательные регистры, преобразующие параллельный код в последовательный и наоборот. Типичное их применение – в устройствах связи ЭВМ и объекта по двухпроводному каналу, на входе и на выходе которого используются, соответственно, параллельно-последовательный и последовательно-параллельный преобразователи.

В преобразователях второго типа выходной код содержит кроме всех элементов входного кода еще и дополнительные элементы. Типичный пример таких преобразователей – устройства формирования помехозащищенных кодов, добавляющие к входным информационным битам дополнительные проверочные биты. На рис. 4 приведена схема формирования помехозащищенного кода с битом четности, выполненная на сумматоре по модулю два. В случае четного числа единиц во входном коде схема добавляет нулевой бит, в случае нечетного числа единиц – единичный бит.

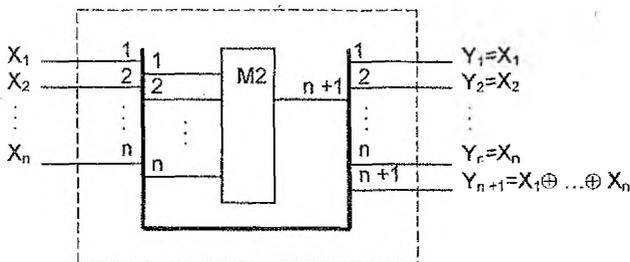


Рис. 4. Пример преобразователя кодов второго типа

К третьему типу преобразователей относят преобразователи, у которых элементы выходного кода не соответствуют элементам входного кода. Процесс преобразования в них происходит в два этапа: сначала  $n$ -разрядный входной код преобразуется в промежу-

жучочный, а затем промежуточный код преобразуется в требуемый  $N$ -разрядный выходной код. В случае использования унитарного кода в качестве промежуточного первое преобразование выполняется дешифратором, второе – шифратором.

К преобразователям третьего типа могут быть отнесены также ЛЗУ, при этом входной код является адресом ячейки, в которой хранится соответствующий выходной код.

#### 4. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

В работе используются: блок управления, блок мультиметра, сменные устройства УС13, УС16 и УС18.

4.1. Установить в разъем сменное устройство УС16. Используя элемент D8, снять таблицу истинности дешифратора D10, используемого для вывода информации на семисегментный индикатор HG2 на плате сменного устройства (см. рис. 6). Результат контролировать при помощи мультиметра на выводах микросхемы дешифратора.

4.2. Установить в разъем сменное устройство УС13. Снять таблицу истинности для элемента D10 (см. рис. 7).

4.3. Используя схему на элементах D11, D12, снять таблицу истинности для элемента D13.

4.4. Установить в разъем сменное устройство УС18. Снять таблицы истинности для элементов D2 и D3 (см. рис. 5). Элемент D2 представляет собой преобразователь двоично-десятичного позиционного кода в двоичный, элемент D3 – преобразователь двоичного кода в двоично-десятичный. Определить вес разрядов двоично-десятичного кода.

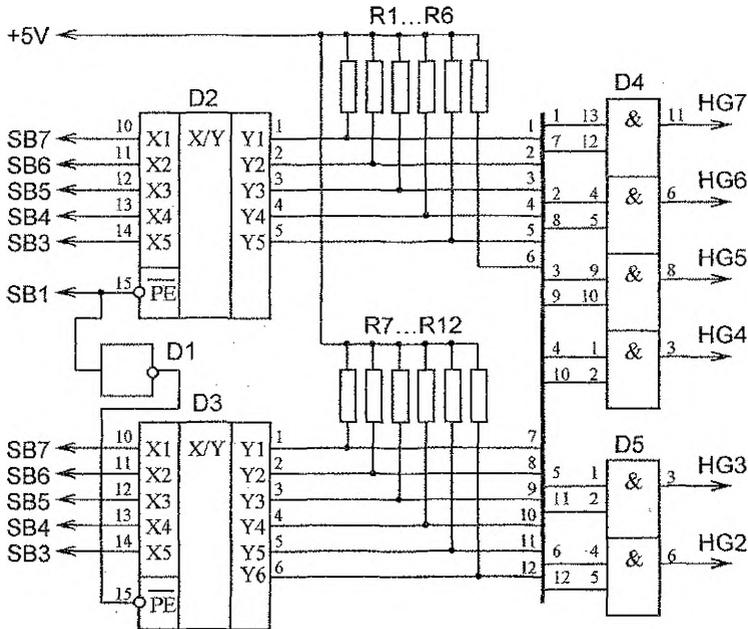


Рис. 5. Схема исследования преобразователей кодов

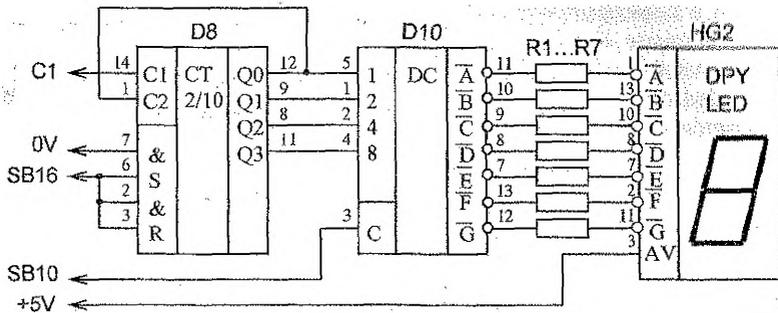


Рис. 6. Схема исследования дешифратора

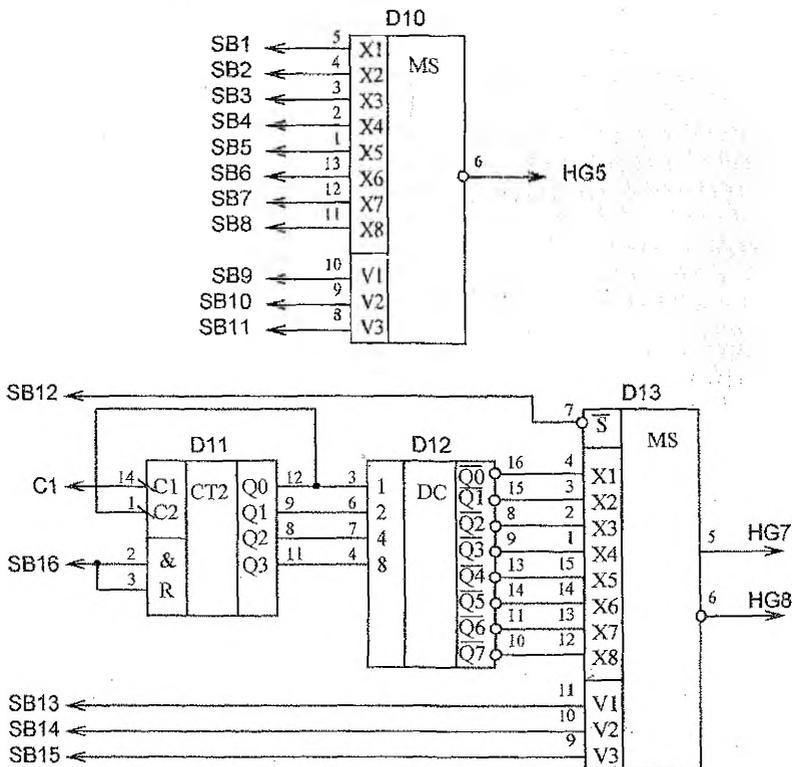


Рис. 7. Схемы исследования мультиплексов

## **5. СОДЕРЖАНИЕ ОТЧЕТА**

Отчет о проделанной работе оформляется в соответствии с общими требованиями и должен содержать следующие пункты:

- цель работы;
- схему мультиплексора на 4 входа со стробированием;
- схему дешифратора на 2 входа со стробированием;
- УГО исследуемых устройств;
- отчетные материалы при выполнении заданий п.п. 4.1 ... 4.4;
- выводы по результатам проделанной работы.

## **6. КОНТРОЛЬНЫЕ ВОПРОСЫ**

- 6.1. Назначение, функционирование и синтез дешифраторов.
- 6.2. Разновидности дешифраторов, их использование в ЭВМ и других устройствах.
- 6.3. Назначение, функционирование и синтез мультиплексоров. Типы входов.
- 6.4. Реализация логических функций с помощью мультиплексоров.
- 6.5. Преобразователи кодов: основные типы, примеры.

## Лабораторная работа №8

### ИССЛЕДОВАНИЕ ЗАПОМИНАЮЩИХ УСТРОЙСТВ

**Цель работы:** изучить принцип действия и схемные реализации основных типов ЗУ; получить практические навыки исследования режимов работы микросхем статических и перепрограммируемых ЗУ.

#### 1. ОБЛАСТЬ ПРИМЕНЕНИЯ И ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

*Запоминающие устройства (ЗУ)* являются одним из важнейших функциональных устройств информационных систем. На них возлагаются функции хранения программ обработки информации и данных, подлежащих обработке. Особенности полупроводниковых ЗУ являются высокое быстродействие, надежность, малая мощность потребления. В кристалле полупроводниковых ЗУ совмещены матрица запоминающих элементов (ЗЭ), каждый из которых хранит один бит информации, и схема управления, обеспечивающая обращение к ЗЭ. Запоминающие элементы организуются в *ячейки*, имеющие разрядность от одного до *n* бит. Каждая ячейка имеет свой идентификатор (*адрес*), представленный двоичным кодом.

Полупроводниковые ЗУ могут выполнять две основные операции: ввод информации в адресуемую ячейку – *запись*, и вывод информации из ячейки – *считывание*. Обе операции называются операциями обращения к памяти.

Если основной операцией ЗУ является считывание, оно называется *постоянным ЗУ (ПЗУ, ROM<sup>1</sup>)*. Существует несколько разновидностей ПЗУ:

- *неперепрограммируемые (ПЗУ, ROM)* – информация в ПЗУ заносится на заводе в процессе изготовления микросхемы с помощью специальных фотошаблонов (применяются для хранения неизменяющихся программ и констант);
- *программируемые (ППЗУ, PROM)* – позволяют однократное занесение информации пользователем с помощью специальных устройств (программаторов) путем переключения импульсами тока тонких проводящих перемычек (в исходном состоянии все ЗЭ микросхемы содержат нули или единицы);
- *стираемые программируемые (СППЗУ, R PROM)* – позволяют осуществлять многократное занесение информации пользователем (перед занесением новой информации старую информацию необходимо стереть).

Полупроводниковые ЗУ, в процессе работы выполняющие как операцию считывания, так и записи в выбранную ячейку, называются *оперативными ЗУ (ОЗУ)*. В английской литературе они получили название *ЗУ с произвольной выборкой (ЗУПВ, RAM<sup>2</sup>)*.

Полупроводниковые ЗУ имеют большое число характеристик, основными из которых являются: *емкость ЗУ (бит)*, отражающая общее количество ЗЭ в микросхеме, и *организация ЗУ*, отражающая объединение ЗЭ в ячейки определенной разрядности. Например, ЗУ емкостью 1024 бита может содержать 1024 адресуемые ячейки размерностью 1 бит (организация 1024×1) или 256 ячеек размерностью 4 бита (организация 256×4). Время выполнения запоминающим устройством той или иной операции (время обращения к памяти) определяет его быстродействие. Из эксплуатационных характеристик, по-

<sup>1</sup> От англ. *read only memory*.

<sup>2</sup> От англ. *random access memory*.

звolyающих сравнивать ЗУ одинаковой структуры, наибольшее значение имеет мощность рассеивания в пассивном (хранение) и активном (считывание, запись) режимах.

## 2. ПОСТОЯННЫЕ ЗАПОМИНАЮЩИЕ УСТРОЙСТВА

Основным требованием, предъявляемым к постоянным ЗУ, является сохранение информации при отключении питания. Это требование обеспечивается конструкцией запоминающих элементов. Самый простой – диодный запоминающий элемент, используемый в постоянных ЗУ, изображен на рис. 1, а. Выборка требуемого ЗЭ осуществляется подачей высокого уровня в соответствующую шину адреса ША. Считывается информация с разрядной шины ШР. Для установки нужного ЗЭ в "1" в точке пересечения адресной и разрядной шин выполняется диод. При выборке ЗЭ соответствующий диод открывается, и сигнал поступает на разрядную шину. Если диод отсутствует, ЗЭ хранит "0". Недостатком диодных ЗУ является низкое быстродействие, вызванное отсутствием в ЗЭ активных элементов, ускоряющих зарядку емкостей разрядных шин. Поэтому ЗУ этого типа широкого распространения не получили.

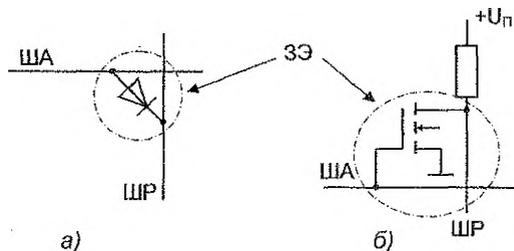


Рис. 1. Запоминающие элементы полупроводниковых ПЗУ

Наиболее распространены постоянные ЗУ с запоминающими элементами, выполненными на биполярных и МОП-транзисторах. Биполярные ЗУ имеют более высокое быстродействие (время обращения  $20 \div 60$  нс), чем ЗУ на МОП-транзисторах (время обращения  $200 \div 600$  нс), но и большую рассеиваемую мощность. МОП-транзисторный ЗЭ (рис. 1, б) может хранить "1" (высокий уровень) или "0" (низкий уровень) в зависимости от того, имеет ли исток транзистора связь с корпусом. Если исток транзистора связан с корпусом, при подаче в адресную шину высокого уровня (выборке ЗЭ), на разрядной шине будет присутствовать низкий уровень напряжения. Когда же исток изолирован от корпуса, на разрядной шине будет присутствовать высокий уровень напряжения. Связь истоков нужных транзисторов с корпусом устанавливается в микросхеме путем металлизации нужных участков кристалла после того, когда все транзисторы уже сформированы.

В полупроводниковых ЗУ, программируемых пользователем (ППЗУ, PROM), в исходном состоянии во всех пересечениях адресных шин с разрядными шинами выполнены запоминающие элементы (как правило – транзисторные), последовательно с которыми включаются легкоплавкие нихромовые или титановольфрамовые перемычки, пережигаемые в процессе программирования. В биполярных ППЗУ, выполненных на многоэмиттерных транзисторах (рис. 2), плавкая перемычка выполняется в эмиттерной цепи.

При выборке дешифратором адреса требуемого слова при наличии перемычки транзистор VT2, открытый коллектор которого через внешний резистор  $R_H$  подключен к источнику питания  $U_2$ , открыт (на выходе "0"), если перемычка расплавлена – транзистор VT2 закрыт (на выходе "1"). Выходной каскад, таким образом, является сложным инвертором.

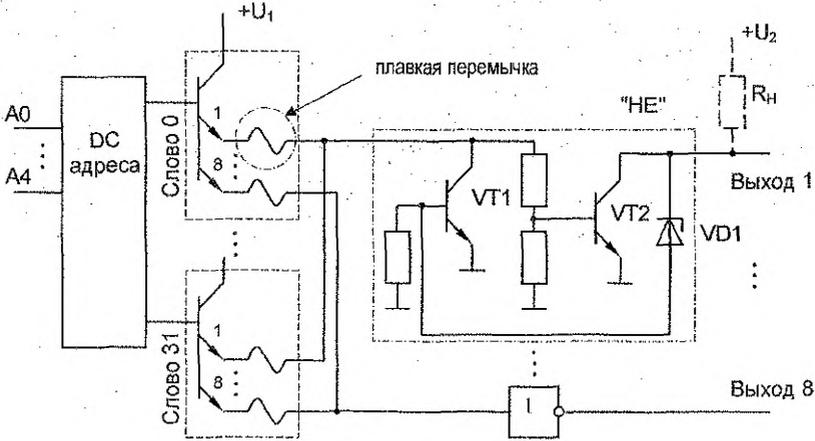


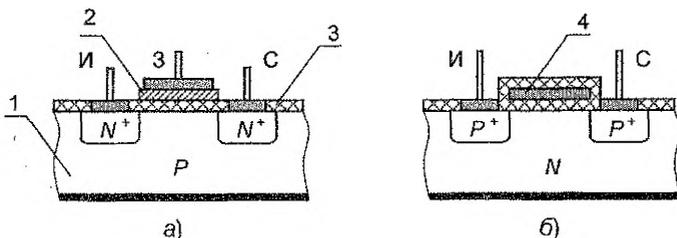
Рис. 2. Структурная схема биполярного ППЗУ

Для пережигания перемычки одновременно с выборкой слова на выход подается напряжение  $U = +8$  В, достаточное для включения стабилитрона VD1. При этом транзистор VT1 открывается, соединяя перемычку с корпусом. Напряжение питания многоэмиттерного транзистора  $U_1$  при программировании доводится до +12 В. В этих условиях ток через перемычку становится достаточным для ее расплавления.

Стираемые программируемые ПЗУ (СППЗУ) могут выполняться двух типов. В СППЗУ первого типа матрица запоминающих элементов изготавливается аналогично транзисторной матрице ПЗУ (рис. 1, б) по МОП-технологии, однако между металлическим затвором и слоем изолирующего окисла транзисторов осаждается слой нитрида кремния (рис. 3, а). Нитрид кремния способен захватывать и сохранять длительное время (до 10 лет и более) электрический заряд. Чтобы зарядить слой нитрида кремния, на затвор МНОП-транзистора подается высоковольтный программирующий импульс по амплитуде, в несколько раз превышающей рабочий уровень напряжения. В результате внутри МНОП-транзистора образуется заряженный слой, влияющий на пороговое напряжение транзистора. Отрицательный заряд для МНОП-транзистора с n-каналом повышает пороговое напряжение настолько, что при подаче рабочего напряжения на адресную шину, подключенную к затворам транзисторов, происходит включение только "незаряженных" транзисторов. Таким образом, наличие заряда приводит к тому, что ЗЭ, построенный по схеме рис. 1, б, хранит "1", а при отсутствии заряда – "0". Для стирания записанной информации, т.е. удаления заряда, захваченного слоем нитрида кремния, на затвор МНОП-транзистора необходимо подать импульс напряжения противоположной полярно-

сти. Следовательно, стираемые программируемые ПЗУ на базе МНОП-транзисторов имеют электрические запись и стирание информации.

В СППЗУ второго типа матрица запоминающих элементов выполняется аналогично диодной матрице (рис. 1, а), однако вместо диодов во всех узлах матрицы используются каналы МОП-транзисторов с изолированным (плавающим) затвором (рис. 3, б).



**Рис. 3. Структура МОП-транзисторов, используемых в СППЗУ:**

1 – подложка; 2 – слой нитрида кремния; 3 – слой окисла кремния;  
4 – плавающий затвор

Подача большого напряжения между истоком и стоком удаляет положительные носители (дырки) от плавающего затвора. Электроны же, захваченные затвором, образуют отрицательный заряд, создающий проводящий канал между стоком и истоком. При подаче сигнала на адресную шину на разрядных шинах, соединенных с "заряженными" транзисторами, будет присутствовать высокий уровень напряжения. Таким образом, при наличии заряда транзистор хранит "1", при его отсутствии – "0". Стирание информации осуществляется засвечиванием транзисторов через кварцевое окно ультрафиолетовым излучением, которое разряжает затворы транзисторов и переводит их в непроводящее состояние. На транзисторах с плавающим затвором реализуются СППЗУ с электрической записью и ультрафиолетовым стиранием.

### 3. ЗАПОМИНАЮЩИЕ УСТРОЙСТВА С ПРОИЗВОЛЬНОЙ ВЫБОРКОЙ

Запоминающие устройства с произвольной выборкой (ЗУПВ) служат для построения устройств оперативного запоминания информации (ОЗУ) и способны хранить ее только при включенном напряжении питания. По принципу действия различают *статические* и *динамические* ОЗУ. Запоминающими элементами статических ОЗУ служат триггеры, которые могут быть реализованы по любой технологии. Однако наибольшее распространение получили ОЗУ, выполненные по биполярной и МОП-технологии. В динамических ОЗУ носителем информации является емкость между затвором МОП-транзистора и корпусом, которая может быть заряжена или разряжена.

#### 3.1. Запоминающие элементы статических ОЗУ

Запоминающий элемент биполярного ОЗУ представляет собой асинхронный триггер с непосредственными связями, выполненный на двух двухэмиттерных транзисторах (рис. 4, а). Работа триггера основана на том, что открытое состояние одного из транзисторов поддерживает закрытое состояние другого транзистора.

Для записи информации в ЗЭ необходимо подать высокий уровень на шину адреса ША и парафазный код на разрядную шину. Пусть ЗЭ хранит "0", если транзистор VT2 закрыт, а VT1 – открыт. Тогда для записи "1" на ШР"0" подается высокий уровень (транзистор VT1 закрывается), а на ШР"1" – низкий уровень (транзистор VT2 открывается).

Для считывания информации на ША подается высокий уровень. При этом в разрядной шине, подключенной к открытому транзистору, протекает значительный ток. Это приводит к срабатыванию соединенного с ней усилителя считывания. В состоянии хранения на шине адреса поддерживается низкий потенциал.

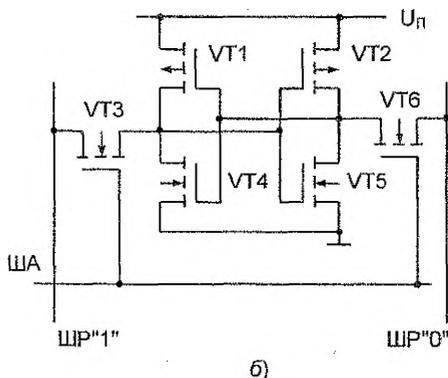
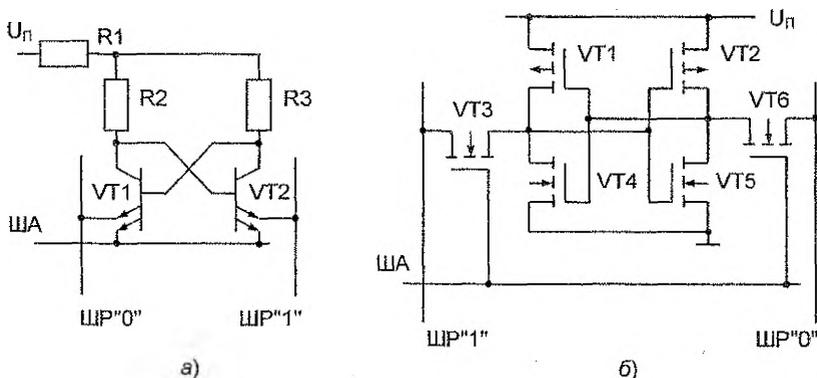


Рис. 4. Запоминающие элементы статических ОЗУ

Биполярные ОЗУ обладают наивысшим быстродействием, однако по сравнению с ОЗУ, выполненными по МОП-технологии, имеют значительно меньшую емкость и большее энергопотребление. Это объясняется тем, что МОП-транзистор занимает в несколько раз меньшую площадь на кристалле, чем биполярный транзистор, и потребляет меньший ток. Последние достижения МОП-технологии обеспечивают приближение МОП ОЗУ по быстродействию к биполярным. Поэтому в настоящее время ОЗУ, выполненные по МОП-технологии, являются наиболее перспективными. Наименьшим энергопотреблением отличаются ОЗУ, выполненные на комплементарных МОП-транзисторах (КМОП-технология).

В запоминающих элементах статического ОЗУ КМОП-типа (рис. 4, б) транзисторы VT1, VT2 имеют каналы P-типа, а транзисторы VT3 – VT6 – каналы N-типа. Транзисторы VT1, VT2 работают в переключательном режиме таким образом, что, если основной транзистор в плече триггера (VT4 или VT5) открыт, то соответствующий ему нагрузочный транзистор закрыт. В результате потребляемая мощность в режиме хранения определяется только токами утечки N- и P-переходов. В режиме переключения потребляется значительно большая мощность, так как при этом ток протекает через оба приоткрытых транзистора в каждом плече – VT1, VT4 и VT2, VT5. Транзисторы VT3, VT6 – управляющие: при отпирании их положительным сигналом, передаваемым по шине адреса ША, они становятся проводящими в обоих направлениях.

Считывание информации производится подачей положительного сигнала в шину ад-

реса ША, при этом потенциалы стоков транзисторов VT4, VT5 передаются через транзисторы VT3, VT6 на разрядные шины ШР"1" и ШР"0".

Мощность КМОП ОЗУ на порядок меньше, чем у биполярных ОЗУ. Так, рассеиваемая мощность КМОП микросхемы КР537РУ2А при емкости 4096 бит составляет 0,4 мВт и 20 мВт в режимах хранения и переключения соответственно, в то время как мощность аналогичной ЭСЛ-микросхемы К500РУ470 составляет 800 мВт.

### 3.2. Запоминающие элементы динамических ОЗУ

Поиски путей увеличения информационной емкости микросхем памяти привели к созданию динамических ОЗУ. Принцип действия запоминающих элементов динамических ОЗУ основан на возможности представления заряда на емкости между затвором МОП-транзистора и общей точкой микросхемы, связанной с корпусом. Емкость образуется параллельно включенными емкостью затвор-сток транзистора и паразитной емкостью. Так как сопротивление изолированного затвора МОП-транзистора составляет  $10^{13} - 10^{14}$  Ом, занесенный на емкость затвора заряд может сохраняться достаточно долго (в течение десятков миллисекунд). Однако наличие токов утечки и малая емкость приводят к необходимости производить подзаряд емкости, т.е. восстанавливать (регенерировать) хранимую информацию. Для этого вводится специальный режим работы ОЗУ динамического типа – режим регенерации.

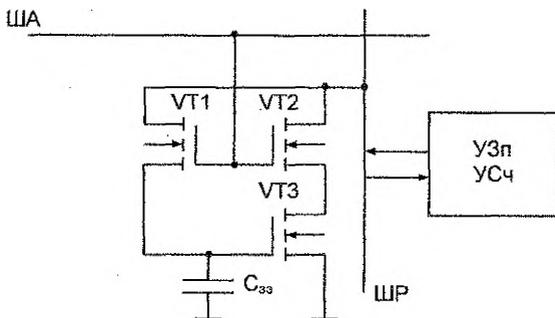


Рис. 5. Трехтранзисторный ЗЭ динамического типа

На рис. 5 приведена схема трехтранзисторного ЗЭ, в котором VT1 – транзистор записи, VT2 – транзистор считывания, VT3 – информационный транзистор. В режиме считывания на ША устанавливается напряжение +5V, которое открывает транзистор VT2. Транзистор VT1, имеющий более высокое пороговое напряжение, остается при этом практически в закрытом состоянии. Если запоминающая емкость  $C_{33}$  заряжена, то транзистор VT3 открыт и вход усилителя считывания (УСч) соединяется с шиной земли. Если же емкость  $C_{33}$  разряжена, то вход УСч оказывается изолированным. В зависимости от состояния входа усилитель считывания формирует на своем выходе уровень логической единицы или нуля.

Режим записи производится подачей на шину адреса ША потенциала +10V, который открывает и транзистор VT1, что обеспечивает подключение усилителя записи (УЗп) к запоминающей емкости. При записи "1" на разрядную шину из УЗп подается потенциал + 5V, который заряжает запоминающую емкость C<sub>33</sub>, при записи "0" – потенциал земли, который разряжает емкость C<sub>33</sub>.

Принцип динамического хранения информации позволяет строить ЗУ большой емкости благодаря уменьшению числа компонентов в запоминающем элементе (вплоть до применения однотранзисторной ячейки) и снижению мощности их потребления.

### 3.3. Структура статического ОЗУ

Кроме матрицы запоминающих элементов, в микросхеме статического ОЗУ содержатся схемы дешифрации, формирователи адресных сигналов, схемы согласования уровней, формирователи сигналов записи, усилители считывания, схемы выборки кристалла. Структурная схема типичного статического КМОП ОЗУ емкостью 4К (1×4096) бит изображена на рис. 6. Адрес выбранной ячейки поступает на входы адресных усилителей строк (разряды А0 – А5) и столбцов (разряды А6 – А11), формирующих входные сигналы для дешифраторов строк и столбцов. Дешифратор строк осуществляет выборку одной из 64 строк матрицы запоминающих элементов (размерностью 64×64 ЗЭ) выдачей сигнала на соответствующую шину адреса. Дешифратор столбцов осуществляет выборку одного из 64 усилителей записи-считывания, связанных со столбцами матрицы ЗЭ разрядными шинами ШР"0" и ШР"1".

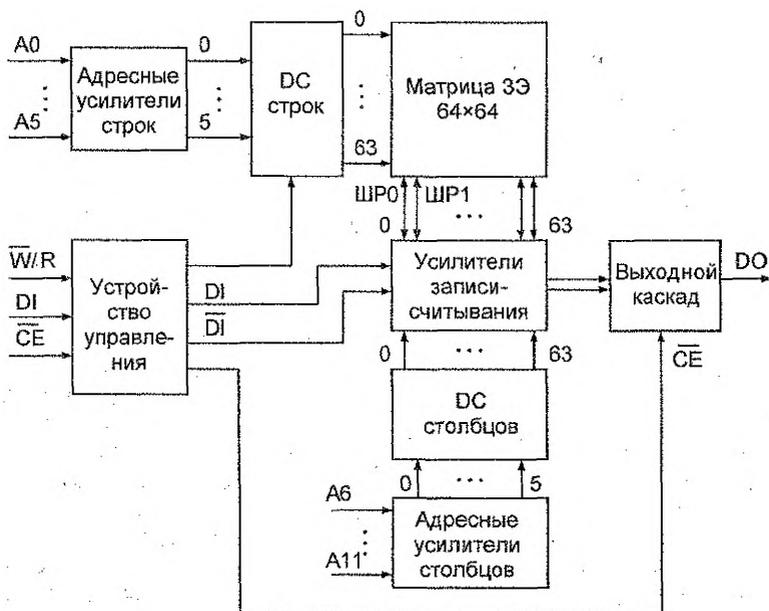


Рис. 6. Структурная схема статического ОЗУ

В режиме считывания, определяемом высоким уровнем сигнала записи-считывания  $\overline{W/R}$ , выбранный усилитель записи-считывания осуществляет коммутацию выходов разрядных шин со входами выходного каскада, осуществляющего выдачу сигнала  $\overline{DO}$  в соответствии с состоянием запоминающего элемента. В режиме записи (низкий уровень сигнала  $\overline{W/R}$ ) устройство управления выдает на усилители записи-считывания сигналы записываемой информации  $\overline{DI}$  и  $\overline{DI}$ , в соответствии с которыми формируются необходимые для записи в ЗЭ уровни сигналов на разрядных шинах. Запись и считывание информации осуществляются только при низком уровне сигнала выборки кристалла  $\overline{CE}$ .

Выходной каскад ОЗУ может находиться в трех состояниях. Два из них характеризуются логическими уровнями "0" или "1", третье – состоянием высокого сопротивления, что эквивалентно отключению выхода микросхемы по выводу  $\overline{DO}$ . Это состояние устанавливается на выходе невыбранной микросхемы, т.е. при высоком уровне сигнала  $\overline{CE}$ , а также в режиме записи.

#### 4. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

В работе используются: блок управления, сменные устройства УС14, УС19.

4.1. Установить в разъем сменное устройство УС14. Включить питание "+ 5V" и "±15V". Напряжение "- 30V" включать по необходимости.

4.2. Изучить режимы работы и необходимые управляющие сигналы ЗУ D6 (см. рис. 7), составить таблицу истинности.

4.3. Перевести ЗУ в режим записи и занести последовательно в ячейки памяти произвольные коды (не менее 8-ми кодов). Коды и адреса ячеек зафиксировать в отчете.

4.4. Перевести ЗУ в режим считывания информации, проверить соответствие записанной и считанной информации при последовательной и произвольной выборке ячеек. Результаты отразить в отчете.

4.5. Выключить и включить питание "+ 5V". Проверить содержимое ячеек, адресованных в п. 4.3. Сделать вывод о сохранности информации при снятии напряжения питания микросхемы ЗУ.

4.6. Установить в разъем сменное устройство УС19. Используя таблицу функционирования (табл. 1), исследовать режимы работы ППЗУ D15 (см. рис. 8). Прочитать коды в первых 10-ти ячейках. Результаты отразить в отчете.

4.7. Записать в выбранную ячейку произвольный код (не нулевой). Записать в эту же ячейку инверсное значение кода. Отразить в отчете последовательность действий. Сделать вывод о возможности записи информации в ячейку без предварительного стирания информации.

4.8. Записать последовательно коды в первые 10 ячеек ППЗУ. Произвести контроль правильности записи кодов.

4.9. Выключить источники питания в блоке управления в следующей последовательности: "- 30V", "±15V" и "+ 5V". Включить источники питания в обратной последовательности. Произвести считывание кодов первых 10-ти ячеек ЗУ, сравнить их с записанными кодами. Сделать вывод о влиянии отключения питания на содержимое ППЗУ.

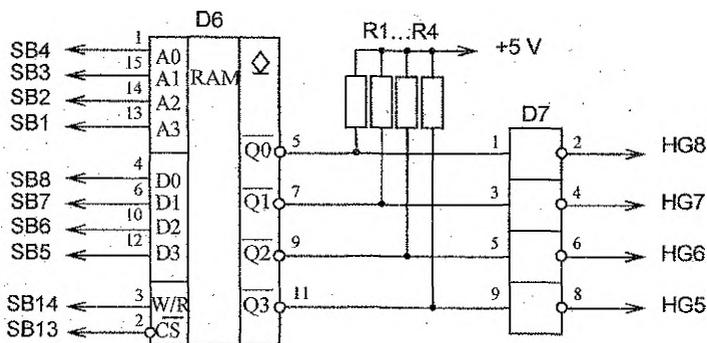


Рис. 7. Схема исследования 3У K155PY2

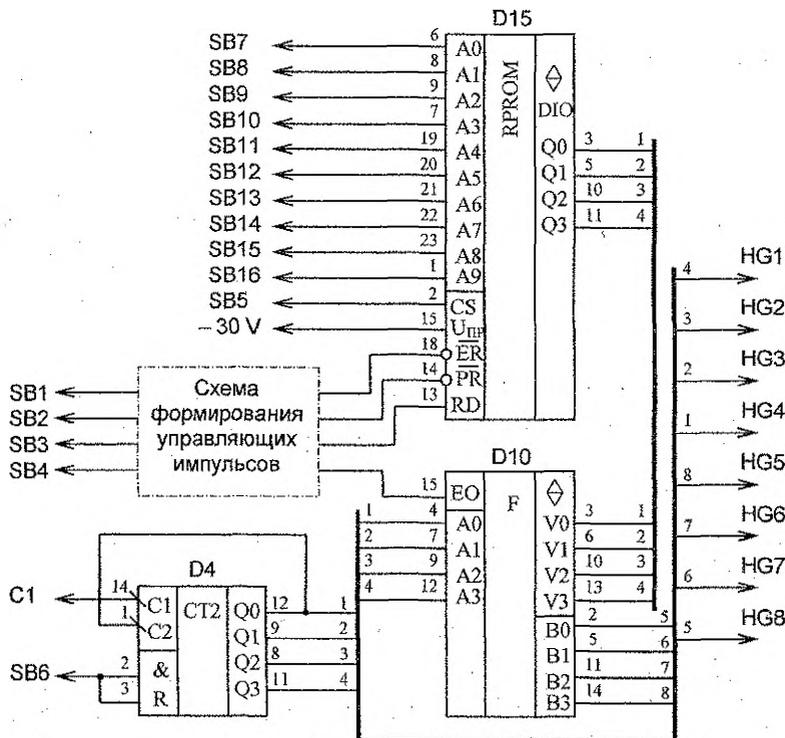


Рис. 8. Схема исследования 3У KP1601PP1

Назначение управляющих входов 3У KP1601PP1: CS – выбор микросхемы; RD – сигнал считывания; PR – сигнал программирования; ER – сигнал стирания; Uпр – напряже-

ние программирования.

Для питания ИС используются два напряжения:  $U_{CC1} = -12 В$ ,  $U_{CC2} = +5 В$ .

Схема формирования управляющих импульсов предназначена для выработки сигналов на управляющие входы ЗУ с требуемыми длительностями и задержками в соответствии с временными диаграммами его работы в каждом из режимов. При нажатии кнопки "SB1" осуществляется стирание информации во всех ячейках накопителя ЗУ, при нажатии "SB2" – стирание в адресуемой ячейке, при нажатии "SB3" – запись в адресуемую ячейку, при нажатии "SB4" – чтение адресуемой ячейки.

Таблица 1

Таблица истинности микросхемы КР1601РР1

CS	$\overline{ER}$	$\overline{RP}$	RD	$A_0...A_3$	$A_4...A_9$	$U_{пр}, В$	$DIO_0...DIO_3$	Режим работы
0	X	X	X	X	X	X	$R_{off}$	Хранение (невывод)
1	0	1	0	X	X	- (33...31)	X	Общее стирание
1	0	0	0	X	A	- (33...31)	1	Избирательное стирание
1	1	0	0	A	A	- (33...31)	1	Запись 1
1	1	0	0	A	A	- (33...31)	0	Запись 0
1	1	1	1	A	A	- 33...+5	Выходные данные в прямом коде	Считывание

## 5. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о проделанной работе должен содержать следующие пункты:

- цель работы;
- структурную схему статического 4-х разрядного ОЗУ на 16 слов;
- УГО исследуемых устройств, их характеристики, назначение выводов;
- таблицу истинности микросхемы КР1601РР1;
- отчетные материалы при выполнении заданий п.п. 4.2 ... 4.9;
- выводы по результатам проделанной работы.

## 6. КОНТРОЛЬНЫЕ ВОПРОСЫ

- 6.1. Назначение ЗУ, классификация, основные характеристики.
- 6.2. Основные функциональные блоки ЗУ, их назначение.
- 6.3. Неперепрограммируемые и программируемые (однократно) ПЗУ: область использования, запоминающие элементы.
- 6.4. Стираемые программируемые ПЗУ: область использования, запоминающие элементы.
- 6.5. Запоминающие элементы статических ОЗУ.
- 6.6. Динамические ОЗУ: запоминающие элементы, особенности работы.
- 6.7. Конструктивные и функциональные особенности ЗУ в зависимости от используемой технологии.

## Лабораторная работа №9

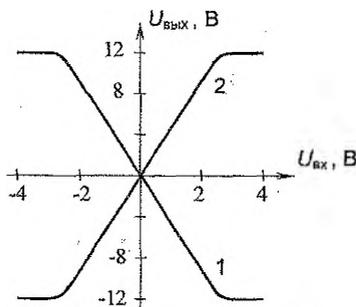
### ИССЛЕДОВАНИЕ СХЕМ ОБРАБОТКИ АНАЛОГОВОЙ ИНФОРМАЦИИ НА ОПЕРАЦИОННЫХ УСИЛИТЕЛЯХ

**Цель работы:** изучить схемы включения и основные параметры операционных усилителей; получить практические навыки исследования схем обработки аналоговой информации на операционных усилителях.

#### 1. СХЕМЫ ВКЛЮЧЕНИЯ И ОСНОВНЫЕ ПАРАМЕТРЫ

*Операционным усилителем (ОУ)* называется усилитель напряжения постоянного тока, имеющий большой коэффициент усиления, высокое входное и низкое выходное сопротивление. Операционные усилители входят в состав всех операционных блоков аналоговых вычислительных машин и обеспечивают выполнение линейных и нелинейных математических операций над переменными, представленными в виде электрических напряжений.

Операционный усилитель имеет два входа – прямой и инверсный. Благодаря большому усилению ( $K_u = 10^3 \div 10^5$ ) выходное напряжение ОУ пропорционально входному лишь при очень малых сигналах (милли- и микровольты). С увеличением сигнала выходные транзисторы ОУ достигают режимов насыщения или отсечки, в результате чего передаточные характеристики ОУ имеют вид, показанный на рис.1.



**Рис. 1. Передаточные характеристики ОУ при подаче сигнала на инвертирующий (1) и неинвертирующий (2) входы**

Учитывая эту особенность, а также высокое входное сопротивление ОУ, при анализе работы схем с ними можно принять следующие допущения:

- пока усилитель находится на линейном участке характеристики, можно считать потенциалы входов усилителя практически равными, т.к. разность потенциалов между его инвертирующим и неинвертирующим входами не превышает нескольких милливольт;
- благодаря высокому входному сопротивлению током  $I_{вх}$ , протекающим между инвертирующим и неинвертирующим входами ОУ, можно пренебречь, независимо от того, на каком участке характеристики находится усилитель.

Используются две основные схемы включения ОУ. В схеме *инвертирующего усилителя* (рис. 2, а) входное напряжение подается на инвертирующий вход. Сопротивления  $Z_1$  и  $Z_2$  образуют отрицательную обратную связь по напряжению.

Так как потенциал неинвертирующего входа равен нулю, то по первому допущению потенциал точки А тоже близок к нулю, следовательно, токи в сопротивлениях  $Z_1$  и  $Z_2$  равны соответственно

$$I_1 = (U_{вх} - U_A) / Z_1 \approx (U_{вх} - 0) / Z_1 = U_{вх} / Z_1;$$

$$I_2 = (U_A - U_{вых}) / Z_2 \approx -U_{вых} / Z_2.$$

Из последнего выражения выходное напряжение усилителя

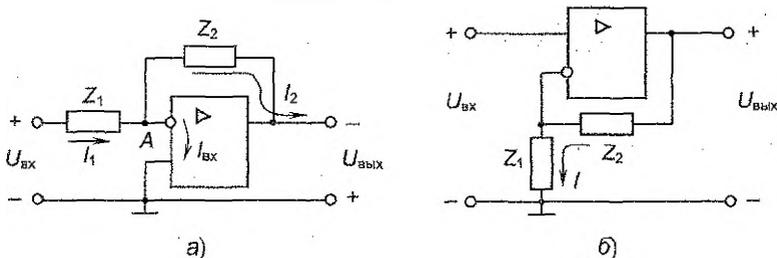
$$U_{вых} = -I_2 Z_2.$$

Для токов в точке А с учетом второго допущения можно записать

$$I_2 = I_1 - I_{вх} = I_1 - 0 = I_1.$$

Тогда окончательно выходное напряжение усилителя

$$U_{вых} = (-Z_2 / Z_1) U_{вх} = K_u U_{вх}.$$



**Рис. 2. Включение ОУ с подачей входного напряжения на инвертирующий (а) и неинвертирующий (б) входы**

В схеме *неинвертирующего усилителя* (рис. 2, б) входное напряжение подается на неинвертирующий вход. Сопротивления  $Z_1$  и  $Z_2$  образуют положительную обратную связь по напряжению. Проведя аналогичные рассуждения можно записать выражение для выходного напряжения данной схемы:

$$U_{вых} = \frac{Z_1 + Z_2}{Z_1} U_{вх} = K_u U_{вх}.$$

Параметры операционных усилителей можно условно подразделить на статические и динамические.

К статическим параметрам ОУ относятся: коэффициент усиления по напряжению; коэффициент ослабления синфазного сигнала; входные сопротивления; напряжение смещения нуля.

Коэффициент усиления по напряжению  $K_{\partial}$  – коэффициент усиления дифференциального (разностного) входного сигнала:

$$K_{\partial} = U_{\text{вых}} / U_{\text{вх.}\partial}$$

где  $U_{\text{вх.}\partial}$  – разность напряжений на неинвертирующем и инвертирующем входах ОУ, не охваченного обратной связью.

Коэффициент ослабления синфазного сигнала  $K_{\text{сф}}$  – отношение напряжения синфазного сигнала, поданного на оба входа, к дифференциальному входному напряжению, которое обеспечивает на выходе тот же сигнал, что и в случае синфазного напряжения:

$$K_{\text{сф}} = U_{\text{вх.сф}} / U_{\text{вх.}\partial}$$

Операционный усилитель должен усиливать дифференциальный сигнал и быть нечувствительным к синфазному сигналу.

Входные сопротивления в зависимости от подаваемого сигнала подразделяются на дифференциальные и синфазные. Входное дифференциальное сопротивление  $R_{\text{вх.}\partial}$  – это полное входное сопротивление со стороны любого входа, в то время как другой вход соединен с общим выводом. Значения его лежат в интервале от нескольких десятков килоом до сотен мегаом. Входное синфазное сопротивление  $R_{\text{вх.сф}}$  характеризует изменение среднего входного тока при приложении к входам синфазного напряжения. Оно на несколько порядков выше сопротивления для дифференциального сигнала.

Напряжение смещения нуля  $U_{\text{см}}$  – это потенциал на выходе ОУ при нулевом входном сигнале, поделенный на коэффициент усиления усилителя. Данный параметр показывает, какой источник напряжения необходимо подключить ко входу ОУ для того, чтобы получить  $U_{\text{вых}} = 0$ .

Из динамических параметров наибольший интерес могут представлять частота единичного усиления и скорость нарастания выходного напряжения.

Частота единичного усиления  $f_1$  – это частота, на которой модуль коэффициента усиления ОУ равен единице. Данный параметр определяет полосу пропускания ОУ.

Скорость нарастания выходного напряжения  $V_u$  – это максимальная скорость изменения выходного сигнала при максимальном значении его амплитуды.

## 2. УСТРОЙСТВА ОБРАБОТКИ АНАЛОГОВОЙ ИНФОРМАЦИИ НА БАЗЕ ОПЕРАЦИОННЫХ УСИЛИТЕЛЕЙ

Комбинируя различные сочетания активных и реактивных элементов в качестве  $Z_1$  и  $Z_2$ , можно получить различные схемы аналоговых преобразователей электрических сигналов. При использовании линейных элементов (резисторов, конденсаторов) получают схемы линейных преобразователей – инвертор, сумматор, вычитающее устройство, интегратор, дифференциатор. При использовании нелинейных элементов (диодов, транзисторов) получают схемы нелинейных преобразователей – логарифматор, экспоненциатор, ограничитель уровня.

На рис. 3, а представлена схема с использованием резисторов в качестве элементов обвязки ОУ. Выходное напряжение для данной схемы может быть записано в следующем виде:

$$U_{\text{вых}} = -I_3 R_3 = -(I_1 + I_2) R_3 = -\left(\frac{R_3}{R_1} U_{\text{ax}1} + \frac{R_3}{R_2} U_{\text{ax}2}\right).$$

Таким образом, схема представляет собой суммирующий усилитель (инвертирующий), складывающий два входных сигнала с определенными коэффициентами.

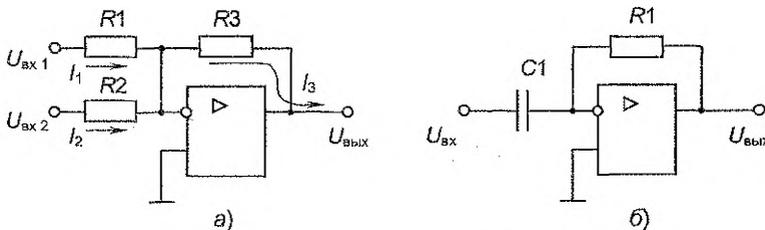


Рис. 3. Схемы преобразователей на ОУ

Суммирующий усилитель с одним входом называют масштабным усилителем, для которого  $U_{\text{вых}} = -k U_{\text{ax}}$ . В случае, когда  $k = 1$ ,  $U_{\text{вых}} = -U_{\text{ax}}$ , а схему называют инвертором.

При использовании в качестве одного из элементов обвязки ОУ конденсатора, необходимо пользоваться выражениями для его вольтамперной характеристики:

$$u_c = \frac{1}{C} \int i_c dt, \quad i_c = C \frac{du_c}{dt}.$$

Схема рис. 3, б представляет собой дифференциатор. В этом нетрудно убедиться, записав выражение для выходного напряжения схемы:

$$u_{\text{вых}} = -i_{R1} R_1 = -i_{C1} R_1 = -C_1 R_1 \frac{du_{\text{ax}}}{dt}.$$

### 3. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

В работе используются: блок управления, мультиметр, генератор, сменные устройства УС1, УС9.

3.1. Для схемы рис. 4, а определить максимальное значение  $K_u$ , измерив мультиметром сопротивления  $R_1$  и  $R_4$  на неподсоединенном сменном устройстве УС1 (сопротивление  $R_4$  измерять при крайнем положении движка). Рассчитать величину  $R_4$  для обеспечения заданного  $K_u$  (задается преподавателем). Установить требуемое значение  $R_4$ . Результаты представить преподавателю.

3.2. Установить сменное устройство УС1 в разъем. Включить питание "+5V" и "±15V".

3.3. Произвести установку нуля усилителя на микросхеме DA1, для чего:

- соединить вход усилителя с общим проводом;

- контролируя выходное напряжение усилителя с помощью мультиметра на минимальном пределе, вращением потенциометра R3 установить на выходе усилителя нулевое напряжение.

3.4.\* Подать на вход усилителя сигнал с генератора (любой формы), используя гнезда под надписью "ВХОД ГС1" (кнопка "ВСв·Внк" над гнездом "ГС1" должна быть отжата). Измеряя значение сигнала на входе и выходе усилителя, определить полученное значение  $K_u$ . Амплитуда входного сигнала выбирается такой, чтобы на выходе усилителя отсутствовали искажения, соответствующие режимам насыщения или отсечки ОУ. Сравнить полученное значение  $K_u$  с заданным. Результаты представить преподавателю.

3.5. Произвести установку нуля усилителя на микросхеме DA2 (рис. 4,б).

3.6. Подать сигнал синусоидальной формы на вход усилителя. Изменяя частоту сигнала в пределах от 100 Гц до 10 МГц и поддерживая неизменной его амплитуду<sup>3</sup>, снять зависимость коэффициента усиления от частоты (табл. 1). Построить в логарифмическом масштабе график зависимости коэффициента усиления от частоты, определить полосу пропускания операционного усилителя.

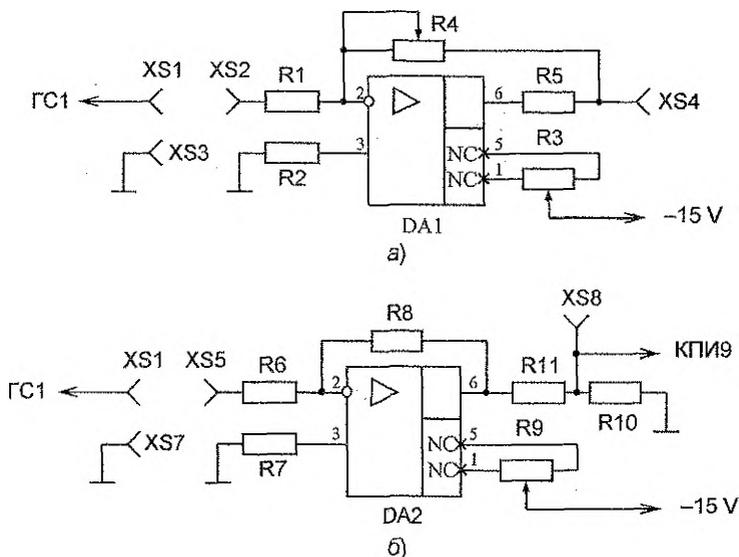


Рис. 4. Схемы исследования усилителей на ОУ

3.7. Установить в разъем сменное устройство УС9.

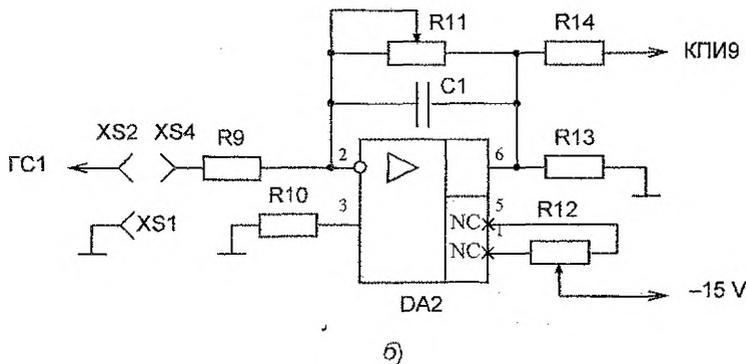
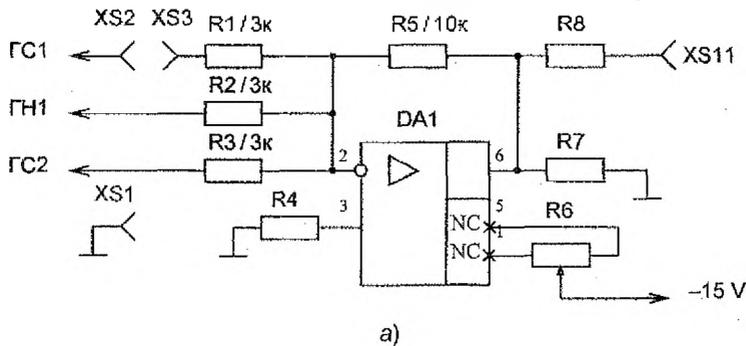
<sup>3</sup> Амплитуда входного напряжения выбирается исходя из возможностей генератора на максимальной частоте (определяется экспериментально перед началом измерений).

3.8. Произвести установку нуля усилителя на микросхеме DA1 (рис. 5, а), обеспечив равенство нулю всех входных сигналов.

3.9. Записать выражение для выходного напряжения схемы на ОУ DA1. Подать на входы схемы напряжения в соответствии с данными своего варианта (табл. 2). Зарисовать в отчет в масштабе осциллограмму выходного напряжения, проверить правильность выполнения операции. Результаты представить преподавателю.

3.10. Произвести установку нуля усилителя на ИС DA2 (рис. 5, б).

3.11. Записать выражение для выходного напряжения схемы на ОУ DA2. Подать на вход прямоугольные импульсы с частотой 60 Гц, 1 кГц и 10 кГц. Снять осциллограммы выходного напряжения для каждого случая и зарисовать их в отчете.



**Рис. 5. Схемы устройств обработки аналоговой информации на операционных усилителях**

Таблица 1

## Зависимость коэффициента усиления от частоты

Измерено											
$f_{вх}$ , кГц	0,1	0,3	1	3	10	30	100	300	1000	3000	10000
$U_{вх}$ , В											
$U_{вх}$ , В											
Рассчитано											
$K_u$											

**Примечание:** напряжение  $U_{вх}$  поддерживается постоянным (при невозможности - измеряется на каждой частоте).

Таблица 2

## Данные вариантов

Параметры сигналов	Номер варианта					
	1	2	3	4	5	6
$U_{пГС2}$ , В	1,0	0,5	2,5	1,2	0,8	2,8
$f_{ГС1}$ , кГц	15	3	1	5	30	10
$U_{ГН1}$ , В	+ 1,8	- 3,0	+ 0,8	- 2,0	+ 2,5	- 0,5

**Примечание:** напряжение источника ГС2 принять равным нулю (кнопка "ВСв ВНК" над гнездом "ГС2" должна быть нажата).

## 4. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о проделанной работе должен содержать следующие пункты:

- цель работы;
- схемы инвертирующего и неинвертирующего усилителей, основные соотношения;
- схемы сумматора аналоговых сигналов для двух переменных и интегратора;
- отчетные материалы при выполнении п.п. 3.1, 3.4, 3.6, 3.9, 3.11;
- выводы по результатам проделанной работы.

## 5. КОНТРОЛЬНЫЕ ВОПРОСЫ

- 5.1. Схемы включения ОУ, основные соотношения.
- 5.2. Основные параметры ОУ.
- 5.3. Построение схем обработки аналоговой информации на ОУ.
- 5.4. Сумматор на ОУ: схема, основное уравнение, возможные ограничения на амплитуду входных сигналов.
- 5.5. Интегратор на ОУ: схема, основное уравнение. Как выглядят графики проинтегрированных сигналов и чем объясняется их форма?
- 5.6. От чего зависит точность выполнения арифметических операций при использовании ОУ?

## ИССЛЕДОВАНИЕ ЦИФРО-АНАЛОГОВЫХ ПРЕОБРАЗОВАТЕЛЕЙ

**Цель работы:** изучить структурные схемы и основные характеристики цифро-аналоговых преобразователей с резистивными матрицами; получить навыки практического определения основных характеристик преобразователей.

## 1. КЛАССИФИКАЦИЯ И ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

Цифро-аналоговым преобразователем (ЦАП) называется устройство, преобразующее цифровой код в пропорциональное ему напряжение или ток. В зависимости от внутренней структуры все ЦАП можно разделить на две группы: ЦАП с резистивными матрицами и безматричные ЦАП.

В первой группе по способу формирования сигнала различают три типа схем: с суммированием токов, с делением напряжения, с суммированием напряжений. Однако в микросхеменном исполнении применяются структуры только первых двух типов, представленные на рис. 1.

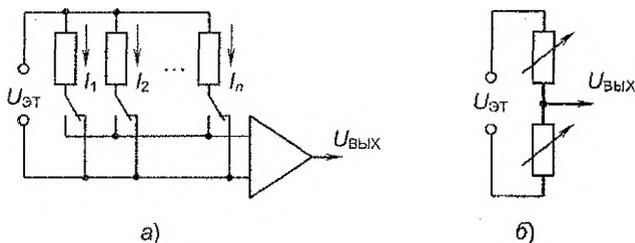


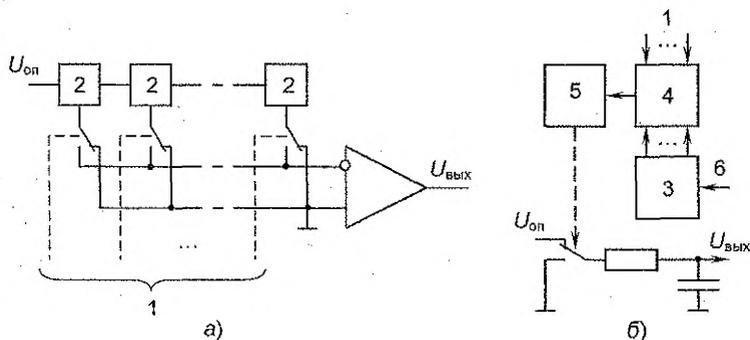
Рис. 1. Цифро-аналоговые преобразователи с резистивными матрицами:

а — с суммированием токов; б — с делением напряжения

Из микросхем второй группы следует назвать два типа ЦАП: с активными делителями тока и стохастические (рис. 2). ЦАП с активными делителями тока по принципу действия аналогичны преобразователям с резистивными матрицами с той лишь разницей, что для формирования весовых токов используются транзисторные схемы. В основе стохастических ЦАП лежит генератор случайных цифровых сигналов, выходной код которого постоянно сравнивается с входным кодом преобразователя. При их совпадении производится коммутация накопительного конденсатора, заряд которого оказывается пропорциональным входному коду.

Основной характеристикой ЦАП является разрешающая способность, определяемая числом разрядов  $N$ . Теоретически ЦАП, преобразующий  $N$ -разрядные двоичные коды, должен обеспечивать  $2^N$  различных значений выходного сигнала с разрешающей способностью  $(2^N - 1)^{-1}$ . Абсолютное значение минимального выходного кванта (ступеньки) напряжения определяется как предельным принимаемым числом  $2^N - 1$ , так и максимальным выходным напряжением ЦАП, называемым напряжением шкалы  $U_{шк}$ . Так, например, при 12 разрядах число независимых квантов выходного напряжения ЦАП со-

ставляет  $2^{12} - 1 = 4095$ , а разрешающая способность  $(2^{12} - 1)^{-1} = 0,0244 \%$ . Выбранное с помощью опорного источника напряжение шкалы  $U_{\text{шк}} = 10 \text{ В}$ , разделенное на число квантов, дает абсолютную разрешающую способность ЦАП:  $\delta = 10/4095 = 2,45 \text{ мВ}$ .



**Рис. 2. Безматричные цифро-аналоговые преобразователи:**

а – с активными делителями тока; б – стохастические; 1 – цифровые входы; 2 – активный делитель тока на 2; 3 – генератор случайных цифровых сигналов; 4 – компаратор кодов; 5 – триггер; 6 – тактовый сигнал

Отличие реального значения разрешающей способности от теоретического обусловлено погрешностями узлов и шумами ЦАП. Точность ЦАП определяется значениями абсолютной погрешности прибора, нелинейностью и дифференциальной нелинейностью. *Абсолютная погрешность*  $\delta_{\text{шк}}$  представляет отклонение значения выходного напряжения (тока) от номинального расчетного, соответствующего конечной точке характеристики преобразования (рис. 3). *Нелинейность прибора*  $\delta_{\text{н}}$  характеризует идентичность минимальных приращений выходного сигнала во всем диапазоне преобразования и определяется как наибольшее отклонение выходного сигнала от прямой линии абсолютной точности, проведенной через нуль и точку максимального значения выходного сигнала. *Дифференциальная нелинейность*  $\delta_{\text{н, диф}}$  характеризует идентичность соседних приращений сигнала. Погрешность и нелинейности ЦАП измеряются в единицах младшего значащего разряда (МЗР).

Из динамических параметров наиболее существенными являются время установления выходного сигнала и максимальная частота преобразования. *Время установления*  $t_{\text{уст}}$  – интервал времени от подачи входного кода до вхождения выходного сигнала в заданные пределы. *Максимальная частота преобразования*  $f_{\text{пр}}$  – наибольшая частота дискретизации, при которой параметры ЦАП соответствуют заданным значениям.

В зависимости от значений параметров ЦАП делятся на две группы: *прецизионные* ( $\delta_{\text{н}} \leq 0,1 \%$ ) и *быстродействующие* ( $t_{\text{уст}} \leq 100 \text{ нс}$ ).

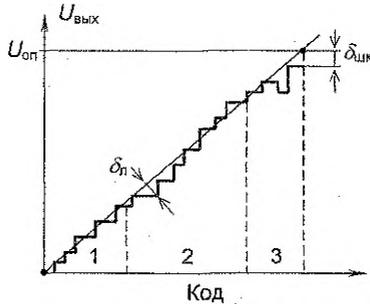


Рис. 3. Передаточная характеристика ЦАП:

1 – зона линейности; 2 – зона нелинейности; 3 – зона немонотонности

## 2. ЦАП С РЕЗИСТИВНЫМИ МАТРИЦАМИ

Наибольшее распространение среди преобразователей данной группы нашли ЦАП суммирования токов с помощью операционного усилителя (рис. 4). С помощью кнопок  $K_i$  на входы ОУ могут быть поданы токи, пропорциональные весу двоичных разрядов, т.е.  $I$ ,  $2I$ ,  $4I$  и т.д. Если при значении  $i$ -го разряда, равном "1", ключ  $K_i$  замкнут, а при значении, равном "0", разомкнут, то сумма токов в узле "А" и выходное напряжение ОУ будут пропорциональны  $n$ -разрядному входному коду.

Входные весовые токи могут быть сформированы при помощи резистивных матриц. Для этих целей используются матрицы поразрядно взвешенных сопротивлений и матрицы типа "R-2R".

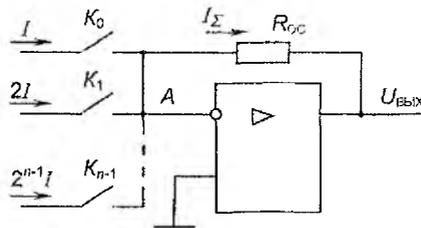


Рис. 4. Принцип суммирования токов

### 2.1. ЦАП с матрицей поразрядно взвешенных сопротивлений

В ЦАП данного типа входная матрица имеет резисторы, сопротивления которых пропорциональны весу двоичных разрядов (рис. 5). При этом младший разряд ( $2^0$ ) имеет максимальное сопротивление  $R$ , а старший разряд ( $2^{n-1}$ ) – минимальное сопротивление  $R/2^{n-1}$ .

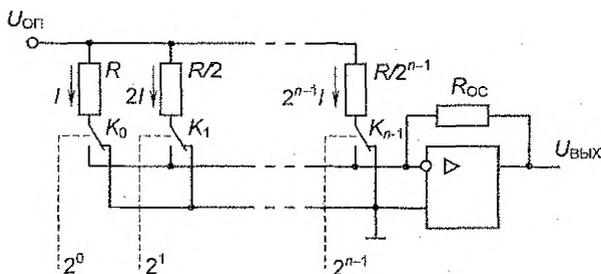


Рис. 5. ЦАП с матрицей поразрядно взвешенных сопротивлений

Весовой ток  $i$ -го разряда и выходное напряжение ЦАП в этом случае:

$$I_i = \frac{U_{оп} \cdot 2^i}{R},$$

$$U_{вых} = -I_{\Sigma} R_{ос} = -\frac{U_{оп} R_{ос}}{R} (K_0 \cdot 2^0 + K_1 \cdot 2^1 + \dots + K_{n-1} \cdot 2^{n-1}),$$

где  $i = 0, 1, 2, \dots, n-1$ ;  $K_0 K_1 \dots K_{n-1}$  – элементы входного  $n$ -разрядного двоичного кода. Отношение  $(U_{оп} R_{ос} / R)$  задает разрешающую способность ЦАП.

## 2.2. ЦАП с матрицей R-2R

В матрице использованы резисторы только двух номиналов – " $R$ " и " $2R$ ". Схема такого ЦАП приведена на рис. 6. Особенностью матрицы является сохранение постоянства эквивалентного сопротивления ( $R_{экв} = R = const$ ) относительно источника  $U_{оп}$  при любом количестве секций " $R-2R$ ".

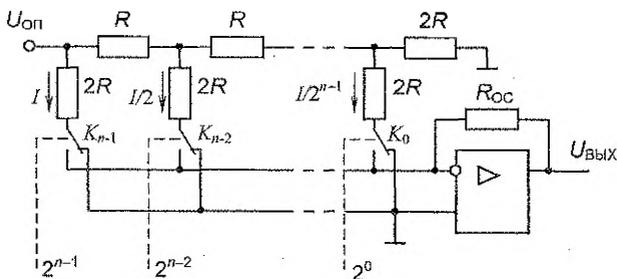


Рис. 6. ЦАП с матрицей R-2R

Таким образом, ток в первой от источника  $U_{оп}$  секции  $I = U_{оп} / 2R$  (с учетом разветвления).

Каждая последующая секция "R-2R" имеет ток в два раза меньше, чем ток предыдущей секции.

$$I_i = \frac{U_{on}}{2^{n-1}R},$$

$$U_{вых} = -I_{\Sigma}R_{oc} = -\frac{U_{on}R_{oc}}{R}(K_0/2^n + K_1 \cdot 2^{n-1} + \dots + K_{n-1} \cdot 2),$$

где  $i = 0, 1, 2, \dots, n-1$ .

### 3. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

В работе используются: блок управления, блок мультиметра, сменное устройство УС11.

3.1. Установить в разъем сменное устройство УС11. Включить напряжения питания "+5V" и "±15V".

3.2. Установить требуемое значение опорного напряжения преобразователя (задается преподавателем).

3.3. Осуществить установку нуля выходного усилителя ЦАП, обеспечив равенство нулю входного сигнала преобразователя.

3.4. Рассчитать абсолютную разрешающую способность ЦАП для своего случая. Используя кнопки SB3, SB4 и программатор серий импульсов С1, осуществить контроль величины  $\delta$  с некоторым шагом во всем диапазоне преобразования.

3.5. Используя мультивибратор С2, снять передаточную характеристику ЦАП (в масштабе). Определить абсолютную погрешность преобразователя.

### 4. СОДЕРЖАНИЕ ОТЧЕТА

Отчет о проделанной работе должен содержать следующие пункты:

- цель работы;
- структурную схему ЦАП с матрицей "R-2R";
- УГО исследуемой микросхемы ЦАП, назначение выводов;
- отчетные материалы при выполнении заданий п.п. 3.4 ... 3.5;
- выводы по результатам проделанной работы.

### 5. КОНТРОЛЬНЫЕ ВОПРОСЫ

- 5.1. Классификация ЦАП.
- 5.2. Основные характеристики ЦАП.
- 5.3. Принцип действия ЦАП с резистивными матрицами.
- 5.4. Структура ЦАП с матрицей поразрядно-взвешенных сопротивлений.
- 5.5. Структура ЦАП с матрицей "R-2R".

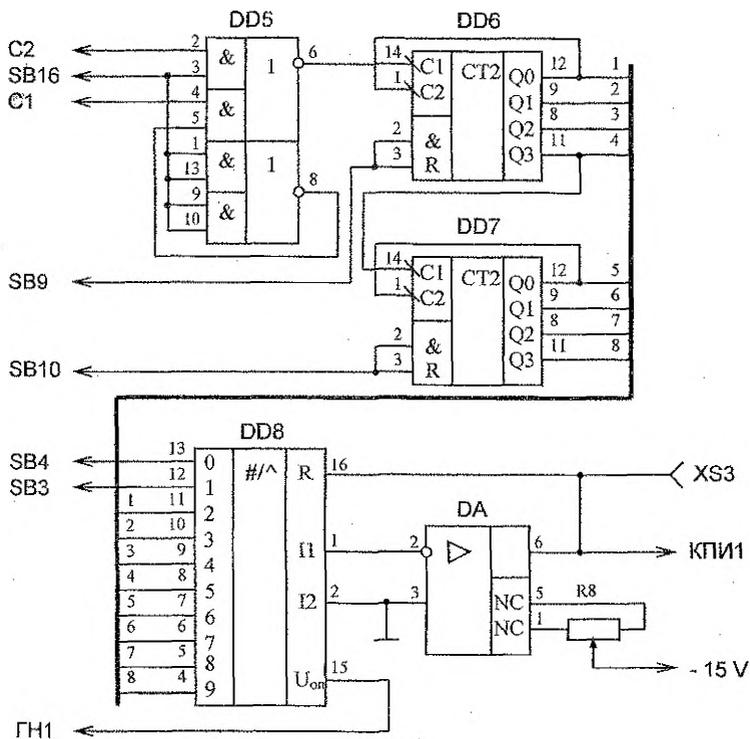


Рис. 7. Схема исследования ЦАП

## ЛИТЕРАТУРА

1. Новиков Ю.В. Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001.
2. Угрюмов Е.П. Цифровая схемотехника. – СПб: БХВ – Петербург, 2002.
3. Миловзоров В.П. Элементы информационных систем: Учеб. для вузов. – М.: Высш. шк., 1989.
4. Аналоговая и цифровая электроника / Под ред. О.П. Гнудника. – М.: Радио и связь, 1996.

## СОДЕРЖАНИЕ

Лабораторная работа № 7.	Исследование дешифраторов, мультиплексо- ров и преобразователей кодов . . . . .	3
Лабораторная работа № 8.	Исследование запоминающих устройств . . . .	10
Лабораторная работа № 9.	Исследование схем обработки аналоговой информации на операционных усилителях . . .	20
Лабораторная работа № 10.	Исследование цифро-аналоговых преоб- разователей. . . . .	27

## УЧЕБНОЕ ИЗДАНИЕ

**Составители:**

Козак Александр Федорович

Склипус Алла Арсеньевна

## МЕТОДИЧЕСКИЕ УКАЗАНИЯ

к выполнению лабораторных работ по дисциплине "Схемотехника"  
для студентов специальности  
"Вычислительные машины, системы и сети"

Часть 2

**Ответственный за выпуск:** Козак А.Ф.

**Редактор:** Строкат Т.В.

**Компьютерная верстка:** Кармаш Е.Л.

**Корректор:** Никитчик Е.В.

---

Подписано в печать 02.11.2007 г. Формат 60x84 1/16. Бумага «Снегурочка».  
Усл. печ. л. 2,09. Уч. изд. л. 2,25. Тираж 100 экз. Зак. № 1161.

Отпечатано на ризографе  
УО «Брестский государственный технический университет»  
224017, г. Брест, ул. Московская, 267.