

## Литература

1. Соловьев В.В. Синтез микропрограммных автоматов на программируемых матрицах логики.//Вестн АНБ. Сер.физ.-техн. наук. 1994. №1. с. 68-72.
2. Складов В.А. Синтез автоматов на матричных БИС.//Мн.: Наука и техника. - 1984. - 287с.
3. Соловьев В.В. Синтез одноуровневых схем микропрограммных автоматов из программируемых матриц логики.// АВТ. - 1993. -№1. с.14-20.
4. Соловьев В.В. Синтез иерархических схем устройств логического управления на ПЛИС.// АВТ. - 1995. - №1. с.18-32.

УДК 681.3.14./21

## МОДЕЛИ ДИНАМИЧЕСКИ РЕКОНФИГУРИРУЕМЫХ CPLD.

*Луцук Ю.А., Клыга А.И.*

*Белорусский государственный университет  
информатики и радиоэлектроники*

Современный разработчик всегда стоит перед выбором кратких сроков разработки и стоимостью готового устройства. Идеальным решением в этом случае является использование программируемых матриц FPGA (field programmable gate arrays). Основными их преимуществами являются высокое быстродействие, низкая стоимость, а также широкие функциональные возможности. Применение микросхем ПЛИС (программируемые логические интегральные схемы) позволяет осуществлять проектирование сложных устройств в течение короткого промежутка времени и обеспечить: низкую стоимость готового изделия, высокое быстродействие и низкую потребляемую мощность. Они также дают возможность достаточно гибко-

го изменения логики работы проектируемого устройства. Все это сделало ПЛИС наиболее привлекательной современной элементной базой.

В рамках данной статьи рассматриваются модели современных микросхем PLD (Programmable Logic Devices), а также модели устройств на базе микросхем CPLD (Complex Programmable Logic Devices).

Микросхемы PLD имеют различные типы архитектур:

- ПЛИМ (программируемые логические матрицы) PLA (Programmable Logic Array);
- ПЛИМП (программируемые логические матрицы с памятью) PLS (Programmable Logic Sequencers);
- ПМЛ (программируемые матрицы логики) PAL (Programmable Array Logic).

В свою очередь ПМЛ подразделяются на:

- комбинационные;
- регистровые (на базе D и RS - триггерах);
- GAL (Generic Array Logic - обобщенные матрицы логики).

Микросхемы CPLD подразделяются на три класса:

- обычные (с не динамически перестраиваемой архитектурой);
- с частично динамически перестраиваемой архитектурой;
- с полностью динамически перестраиваемой архитектурой.

Микросхемы ПЛИМ являются наиболее хорошо изученными и рассматриваться в рамках данной статьи не будут.

На основании анализа архитектур серийно выпускаемых микросхем PAL [1] были разработаны две общие модели: с одним и несколькими входами синхронизации. В рамках данной статьи будет рассмотрена первая модель (рис. 1)

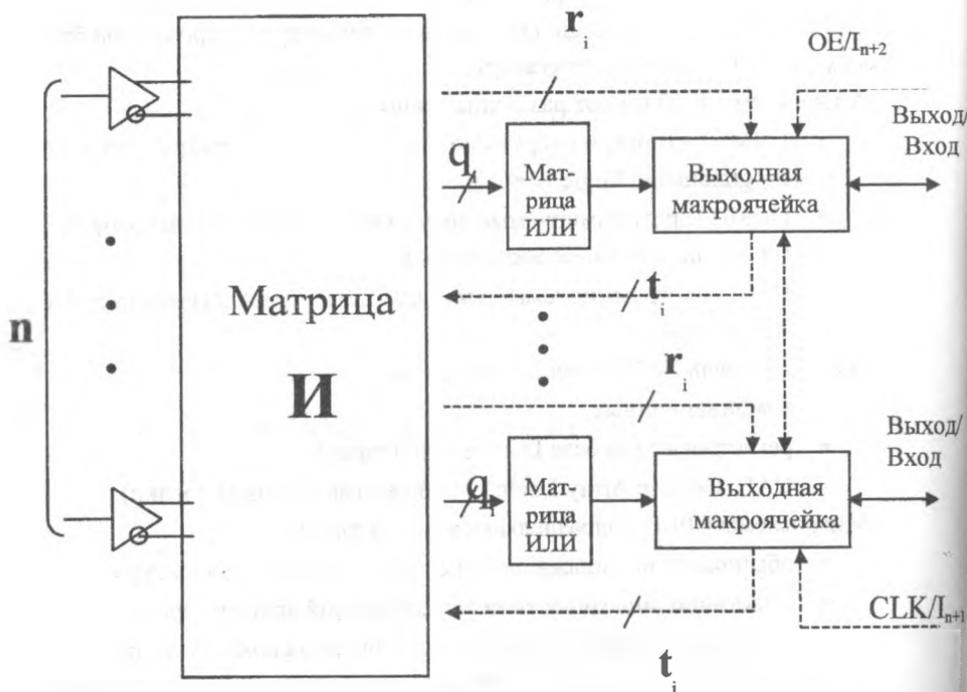


рис. 1. Модель PAL с одним входом синхронизации.

модель (рис. 1.).

Основными параметрами PAL являются:

- $n$  - число “чистых” входов микросхемы;
- $m$  - число выходных макроячеек;
- $p$  - число выходных макроячеек используемых как входы.

Параметрами выходной секции являются:

- $q_i$  - число промежуточных шин, объединяемых одной секций матрицы ИЛИ;
- $r_i$  - число промежуточных шин, используемых для управления выходной макроячейкой;
- $t_i$  - число обратных связей, заводимых с выходной макроячейки на матрицу И.

Пунктиром на рис.1 показаны связи, которые могут не использоваться.

Типы выходных макроячеек могут быть различными в зависимости от рассматриваемой микросхемы. Обобщая выше сказанное, общие параметры микросхем можно описать следующими неравенствами:

1. Число входов:

$$n \leq N \leq n + p + I_{n+1} + I_{n+2},$$

где

$N$  - необходимое число входов;

$I_{n+1}$  - дополнительный вход используемый вместо сигнала CLK;

$I_{n+2}$  - дополнительный вход используемый вместо сигнала OE;

2. Число выходов:

$$m - p \leq M \leq m,$$

где

$M$  - необходимое число выходов;

3. Общее число промежуточных шин:

$$Q = \sum q_i, \text{ где}$$

Q - число промежуточных шин, объединяемых всеми секциями матрицы ИЛИ. Основными проблемами при проектировании устройств на базе PAL являются распределение входных и выходных переменных и минимизация числа промежуточных шин в секциях матрицы ИЛИ, а также эффективное использование их архитектур при проектировании устройств.

Функциональным развитием технологии PLD являются микросхемы CPLD. Как уже было отмечено выше, существует три класса таких микросхем. Но наибольший интерес представляют устройства с возможностью динамического изменения своей конфигурации.

*Динамическое изменение конфигурации или динамическая реконфигурация* - это изменения функционирования микросхемы осуществляемые в процессе работы и без выключения напряжения питания. Данный процесс осуществляется специальным контроллером.

Для устройств, построенных на базе динамических CPLD, разработаны две модели: с управлением реконфигурацией извне (рис. 2 а) и самореконфигурирующие устройства (рис. 2 б)

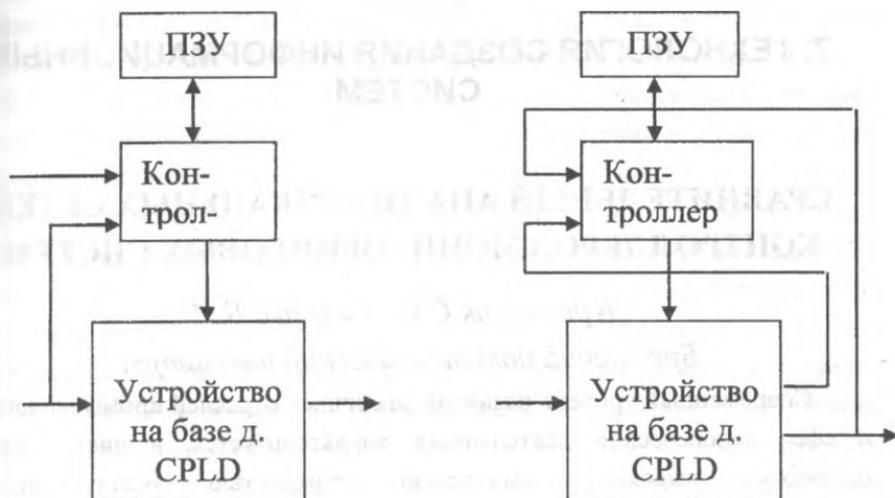


Рис 2. Модели устройств на базе динамических CPLD.

Т.о. рассмотрена общая модель микросхем PLD, а также были предложены модели устройств на базе динамически реконфигурируемых CPLD.

### Литература:

1. Texas Instrument Databook "Program Logic Device" 1997 г.