

рица ОЗУ, в которую записывается форма фронтов, которая с помощью программы ЗВМ может быть оперативно заменена.

Реализация программно управляемой диаграммы направленности позволяет исследовать зоны как с обычной разрешающей способностью, так и с более высокой.

ИССЛЕДОВАНИЕ ОТОБРАЖЕНИЯ НЕИСПРАВНОСТЬ-ОШИБКА В АНАЛОГО-ЦИФРОВЫХ СХЕМАХ.

Шмидман А.М.

Неисправности в аналоговых схемах классифицируют на 2 класса: катастрофические (Hard) неисправности и неисправности отклонения (Soft)[1]. Катастрофические неисправности, часто называемые Hard неисправности, вызваны случайными дефектами и приводят к замкнутым и разорванным цепям или большим изменениям в проектируемых параметрах. Soft неисправности - отклонения параметров от их номинальной величины на некоторое небольшое значение.

В данной работе были исследованы отображения Soft-неисправностей в ошибки в аналого-цифровых схемах. Данное исследование представляет интерес для определения требований, которым должен соответствовать модуль для обработки результатов тестирования. В аналого-цифровых схемах в случае Soft-неисправности наиболее вероятны такие отклонения, которые выражаются как увеличение или уменьшение эталонного значения на 1. Эти неисправности отображаются в ошибки различной кратности, причем вероятность появления однократных ошибок равняется 0.5, двукратных - 0.25, трехкратных - 0.125 и т.д. Следовательно, модуль, отвечающий за обработку результатов тестирования, должен быть ориентирован прежде всего на обнаружение однократных ошибок, что даст возможность обнаружить до 50% Soft-неисправностей, которые приводят к увеличению или уменьшению эталонного значения на 1.

В результате исследования было замечено, что всевозможные значения Soft-неисправностей можно классифицировать по значению на которое увеличивается/уменьшается код, полученный в результате преобразования аналогового сигнала в двоичный код, в группы вида $B \cdot 2^i$, где $B=1,3,5,7,9\dots$, $i=0,1,2,3\dots$, в которых отображение неисправности в ошибки можно описать соответствующими выражениями. Подобная классификация может обосновываться сохранением конфигурации ошибки у чисел одной группы. В работе были получены соотношения, описывающие отображение Soft-неисправностей в ошибки для групп с $B=1,3,5,7$. Проведенные исследования показали, что наибольшей вероятностью появления обладают ошибки малой кратности, соответственно основным требованием к модулю для обработки результатов тестирования является обнаружение ошибок малой кратности.

ЛИТЕРАТУРА:

1. M.J.Ohletz "Hybrid Built-In Self-Test (HBIST) for Mixed Analogue/Digital Integrated Circuits"

МАТЕМАТИЧЕСКИЕ МОДЕЛИ ИМПУЛЬСНЫХ СИСТЕМ ФАЗОВОЙ СИНХРОНИЗАЦИИ

Шилина А.Л.

Для исследования динамических свойств импульсных систем фазовой синхронизации (ИСФС) в настоящее время чаще всего используются два метода моделирования процессов. Первый метод основывается на составлении математических моделей разной сложности (высокоточные модели и упрощенные модели), второй метод основывается на модульном принципе и имитационном моделировании.

В основе высокоточных математических моделей ИСФС, построенные в соответствии с первым методом, лежат нелинейные трансцендентные уравнения, что обеспечивает адекватность этих моделей. Они характеризуются малыми затратами машинного времени и высокой точностью расчетов. Однако, в некоторых случаях требования к точности моделей не являются высокими, тогда с целью сокращения машинного времени удобно пользоваться упрощенными моделями, в которых отсутствует необходимость решать нелинейные трансцендентные уравнения. Следует заметить, что точность расчетов снижается лишь на 7-8%. Недостатком этих методов моделирования является жесткий алгоритм исследований, который очерчивает определенный круг исследуемых устройств.

Второй метод универсален. ИСФС в соответствии с этим методом представляется составленной из отдельных блоков, которые описываются дифференциальными уравнениями. Это позволяет разработчику творчески изменить структуру схемы, включать или исключать дополнительные блоки, т. е. работать над специализированной программой. Но основным недостатком этого метода является его программная сложность, которая приводит к большим затратам времени при моделировании, а при определенных условиях и к потере точности.

IDDQ ТЕСТИРОВАНИЕ ИТЕРАЦИОННЫХ ЛОГИЧЕСКИХ СТРУКТУР

Янушкевич А.И.

В настоящее время большое внимание уделяется методам тестирования с внутренним доступом. В частности одним из таких методов является Iddq тестирование, основанное на измерении потребляемого тока КМОП микросхемой в статическом состоянии.